

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000183731 A**(43) Date of publication of application: **30.06.00**

(51) Int. Cl.

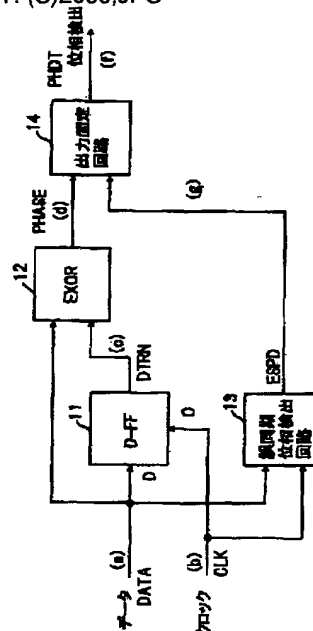
**H03L 7/085****H04L 7/033****// H04B 10/00**(21) Application number: **11206950**(22) Date of filing: **22.07.99**(30) Priority: **07.10.98 JP 10285150**(71) Applicant: **FUJITSU LTD**(72) Inventor: **KUWATA NAOKI**(54) **PHASE COMPARATOR CIRCUIT**

COPYRIGHT: (C)2000,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To prevent a PLL circuit from being locked at a wrong phase (mis-synchronization) even when the duty factor of a data signal is deviated from 100%.

**SOLUTION:** A mis-synchronization phase detection section 13 detects whether or not a phase difference between a data signal DATA and a clock signal CLK is in existence within a range where mis-synchronization may take place, and an output fix section 14 fixes a phase detection signal PHDT to a prescribed value when the phase difference is in existence within the mis-synchronization phase range. Thus, even when a duty factor of the data signal is deviated from 100%, only one inclination in the same direction can exist within one period. Thus, only one phase providing the same mean value of phase difference signals is in existence in one period, and mis-synchronization of a PLL circuit locking other phase than an object phase can be eliminated.



(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-183731

(P2000-183731A)

(43) 公開日 平成12年6月30日 (2000.6.30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
H 0 3 L 7/085		H 0 3 L 7/08	A
H 0 4 L 7/033		H 0 4 L 7/02	B
// H 0 4 B 10/00		H 0 4 B 9/00	B

審査請求 未請求 請求項の数11 O L (全 35 頁)

(21) 出願番号	特願平11-206950	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22) 出願日	平成11年7月22日 (1999.7.22)	(72) 発明者	桑田 直樹 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
(31) 優先権主張番号	特願平10-285150	(74) 代理人	100084711 弁理士 斉藤 千幹
(32) 優先日	平成10年10月7日 (1998.10.7)		
(33) 優先権主張国	日本 (J P)		

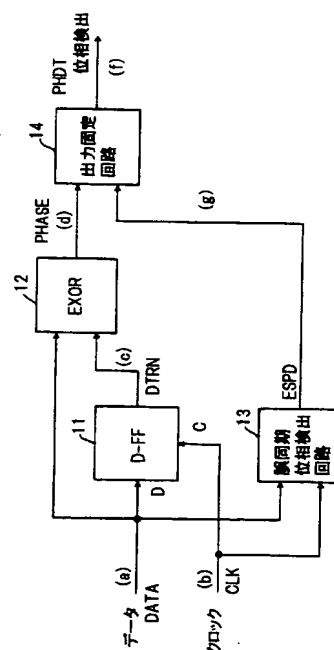
## (54) 【発明の名称】 位相比較回路

## (57) 【要約】

【課題】 データ信号のデューティが100%からずれている場合でも、PLL回路が誤った位相にロック (誤同期) しないようにする。

【解決手段】 誤同期位相検出部13は誤同期する可能性のある位相範囲内に、データ信号DATAとクロック信号CLKの位相差が存在するか検出し、出力固定部14は該位相差が誤同期位相範囲内に存在すれば位相検出信号PHDTを一定値に固定する。このようにすれば、データ信号のデューティが100%からずれていても、1周期内において同じ方向の傾きを1つだけにできる。このため、位相差信号の平均値が同一値となる位相を1周期内において1つにでき、PLL回路は目標位相以外の位相にロックする誤同期をなくすることができる。

第1の発明の位相比較回路の原理図



## 【特許請求の範囲】

【請求項 1】 データ信号を入力されクロック信号により該データ信号を識別するデータ識別部と、データ信号とデータ識別部から出力するデータ識別信号との位相差を示す信号を出力する位相差検出部と、誤同期する可能性のある位相範囲内に、前記データ信号とクロック信号の位相差が存在するか検出する誤同期位相検出部と、位相差が前記位相範囲外に存在する場合には前記位相差信号を出力し、前記位相範囲内に存在する場合には一定値を出力する出力固定部、を備えたことを特徴とする位相比較回路。

【請求項 2】 前記誤同期位相検出部は、データ信号の立上り時におけるクロック信号レベル及びデータ信号の立下がり時におけるクロック信号レベルを検出するクロック信号レベル検出回路、これら 2 つのクロック信号レベルに基づいて、前記位相差が前記誤同期する可能性のある位相範囲内に存在するか否かを検出する検出部、を備えたことを特徴とする請求項 1 記載の位相比較回路。

【請求項 3】 データ信号を入力されクロック信号により該データ信号を識別するデータ識別部と、データ信号とデータ識別部から出力するデータ識別信号との位相差を示す信号を出力する位相差検出部と、クロック信号の位相を変調する位相変調回路を備え、前記データ識別部は、位相変調回路により位相変調されたクロック信号を用いてデータ信号を識別することを特徴とする位相比較回路。

【請求項 4】 位相変調回路は、クロック信号が入力される位相可変回路を備え、該位相可変回路の制御電圧信号を可変することによりクロック信号の位相を変調して出力することを特徴とする請求項 3 記載の位相比較回路。

【請求項 5】 データ信号を入力されクロック信号により該データ信号を識別するデータ識別部と、データ信号とデータ識別部から出力するデータ識別信号との位相差を示す信号を出力する位相差検出部と、前記データ識別部におけるクロックリファレンス電圧を振動する手段を備え、該クロックリファレンス電圧を振動することにより、前記データ識別部より出力するデータ識別信号の位相を変調することを特徴とする位相比較回路。

【請求項 6】 データ信号を入力されクロック信号により該データ信号を識別するデータ識別部と、データ信号とデータ識別部から出力するデータ識別信号との位相差を示す信号を出力する位相差検出部と、誤同期する可能性のある位相範囲内に、前記データ信号とクロック信号の位相差が存在するか検出する誤同期位相検出部と、データ信号とクロック信号の位相差が、(1) 前記位相範

囲外に存在すれば、前記位相差信号を出力し、(2) 前記位相範囲内に存在し、かつ、増加する方向に変化していれば、第 1 の設定値を出力し、(3) データ信号とクロック信号の位相差が前記位相範囲内に存在し、かつ、減小する方向に変化していれば第 2 の設定値を出力する出力固定部、

を備えたことを特徴とする位相比較回路。

【請求項 7】 前記出力固定部は、誤同期する可能性のある位相範囲を  $0 \sim \pi/2$  及び  $(3\pi/2) \sim 2\pi$  とするときクロック信号の位相を  $\pi/2$  遅延する遅延回路、データ信号の立上り時における  $(\pi/2)$  位相遅延クロックのレベルを記憶する D 型フリップフロップ (D-F F)、クロック信号の立下がり時における D-F F の出力レベルがローレベルであれば、その時の位相差信号のレベルをラッチして前記第 1 または第 2 のレベルとして出力するラッチ部、を備えたことを特徴とする請求項 6 記載の位相比較回路。

【請求項 8】 前記出力固定部は、誤同期する可能性のある位相範囲を  $0 \sim \pi/2$  及び  $(3\pi/2) \sim 2\pi$  とするときクロック信号の位相を  $\pi/2$  遅延する第 1 の遅延回路、データ信号の立上り時における  $(\pi/2)$  位相遅延クロックのレベルを記憶する D 型フリップフロップ (D-F F)、D-F F の出力信号を所定時間遅延する第 2 の遅延回路、第 2 の遅延回路の出力レベルがローレベルであれば、その時の位相差信号レベルをラッチして前記第 1 または第 2 のレベルとして出力するラッチ部、を備えたことを特徴とする請求項 6 記載の位相比較回路。

【請求項 9】 前記出力固定部は、クロック信号の位相を  $\pi$  遅延する第 1 の遅延回路、第 1 の遅延回路の出力レベルを反転する反転回路、クロック信号と反転回路出力とのナンド演算を行うナンド回路、データ信号の位相を  $\pi/2$  遅延する第 2 の遅延回路、第 2 の遅延回路から出力するデータ信号の立上り時におけるナンド回路の出力レベルを記憶する D 型フリップフロップ (D-F F)、クロック信号の立下がり時における D-F F の出力レベルがローレベルであれば、その時の位相差信号のレベルをラッチして前記第 1 または第 2 のレベルとして出力するラッチ部、を備えたことを特徴とする請求項 6 記載の位相比較回路。

【請求項 10】 前記出力固定部は、クロック信号の位相を  $\pi$  遅延する第 1 の遅延回路、第 1 の遅延回路の出力レベルを反転する反転回路、クロック信号と反転回路出力とのナンド演算を行うナン

ド回路、

データ信号の位相を $\pi/2$ 遅延する第2の遅延回路、  
第2の遅延回路から出力するデータ信号の立ち上がり時におけるナンド回路の出力レベルを記憶するD型フリップフロップ(D-FF)、

D-FFの出力信号を所定時間遅延する第3の遅延回路、

第3の遅延回路の出力レベルがローレベルであれば、その時の位相差信号レベルをラッチして前記第1または第2のレベルとして出力するラッチ部、を備えたことを特徴とする請求項6記載の位相比較回路。

【請求項11】 デューティを補償するデューティ補償回路を通過したデータ信号を前記データ信号とする請求項1、3、5、6記載の位相比較回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は位相比較回路に係わり、特に、データ信号のデューティが100%からずれた場合であってもクロック信号とデータ信号の位相差が所定値となるように位相制御ができる位相比較回路に関する。光受信回路において、伝送されて波形が歪んだり、雑音がのったデータ波形をきれいなデジタル信号に変換するために、データ信号の再生が行われる。この際、データ信号からクロック信号を抽出し、このクロック信号を用いてデータ識別回路でデータ信号を再生する。クロック信号抽出方式の1つとしてPLL方式がある。PLL方式はデータとクロックの位相差を検出する位相比較回路とVCO(電圧制御発振器)を用いる方式であり、本発明はこのPLL方式における位相比較回路に関するものである。受信したデータ波形は、歪みや雑音により識別余裕が非常に小さい状態になっているため、識別回路へ入力するデータ信号とクロック信号の位相関係は、正確に最適識別点に合わせられ、変動のないものにすることが必要である。

【0002】

【従来の技術】図29は光通信システムにおける光受信機の構成例であり、1は光電気変換回路で、光信号を電気信号に変換するもの、2は光電気変換回路から出力される例えば10Gbpsのデータ信号を増幅するアンプ、3は所定の等化制御を行う等化回路、4はタイミング抽出回路で、受信したデータ信号からそのビットレートと同じ周波数のクロック信号を取り出すもの、5はタイミング抽出回路から出力されるクロック信号を用いてデータ信号を識別する識別回路である。かかる光受信機において、識別回路5に入力するデータ信号とクロック信号との位相関係を最適点に保つ必要がある。周囲の温度変化や電源電圧等の変動によりこの位相関係がずれると、正常に識別できなくなるという問題が発生する。

【0003】クロック信号を生成する光受信機のタイミング抽出回路には、従来、(1)狭帯域バンドパスフィル

タを用いた非線形抽出方式(図30)と、(2)位相比較回路とVCO(電圧制御発振器)を用いるPLL方式

(図32)がある。図30は非線形抽出方式によるタイミング抽出回路の構成図であり、入力したデータ信号の立ち上がり、立ち下がりを検出する非線形抽出回路110と、中心周波数がデータのビットレートと同一周波数を有する狭帯域のバンドパスフィルタ111と、狭帯域増幅器であるリミッタアンプ112から構成されている。非線形回路110は、データ信号を二分岐する二分岐回路110aと、分岐された一方のデータ信号を所定時間(1ビットに相当する時間の1/2)遅延する遅延回路110bと、データ信号と遅延回路の出力信号の排他的論理和演算を行ってデータ信号の立ち上がり及び立ち下がりパルス信号を有するエッジ信号を発生するEXOR回路(イクスクルーシブオア回路)110cを有している。図31は動作波形図であり、EXOR回路110cはデータ信号の立ち上がり、立ち下がり検出してパルスP1を発生し、バンドパスフィルタ111はEXOR回路出力よりデータのビットレートと同一周波数を有するクロック成分を抽出し、リミッタアンプ112はクロック成分を一定振幅に増幅する。

【0004】非線形抽出方式では、狭帯域バンドパスフィルタ111としてはSAWフィルタや誘電体フィルタが用いられているが、IC等に対してサイズが大きいという問題点があり、光送受信モジュールの小型化が困難であった。また、抽出したクロック成分が小さいこと、フィルタの損失を補う必要があること、データの信号のパターン変化等に対するクロックの振幅変動を小さく抑える必要があること、等の対策としてリミッタアンプ112を用いているが、この回路の位相変動が大きいという問題があった。

【0005】非線形抽出方式に比べてPLL方式は、VCOも含め回路のほとんどをIC化することができ、非常に小さくすることが可能である。また、位相変動が生じても、位相比較回路でその変動を検出するため、PLLにより位相変動が補正される。図32は、PLLを用いたタイミング抽出回路の基本的なブロック図である。図中、4はタイミング抽出回路、5は識別回路である。タイミング抽出回路4において、121はデータ信号DATAとクロック信号CLKの位相を比較する位相比較回路、122は位相比較回路から出力する位相差に応じた電圧信号を平滑化するループフィルタ、123はループフィルタ出力に応じた周波数を有するクロック信号CLKを発生する電圧制御発振器(VCO回路)である。データ信号とクロック信号との位相差を検出する位相比較回路は、いくつか考案されている。図33はD型フリップフロップ(D-FF)131とEXOR回路132を用いた位相比較回路(IEEE Transactions on Electron Devices VOL.E D-32, No.12 Dec.1985"ASelf Correcting Clock Recovery Circuit", Hogge, pp.2704-2706)の基本部分であり、図

34はこの回路のタイムチャートである。

【0006】D-FF131は、クロック信号CLKの立ち上がり時点におけるデータ信号DATAのレベルを示すデータ識別信号DTRNを出力する。すなわち、D-FF131はクロック入力端子（C端子）に入力されたクロック信号CLKの立ち上がりで、データ入力端子（D端子）に入力されたデータ信号DATAのレベル（“1”または“0”）を記憶して出力すると共に、該レベルを次のクロック信号の立ち上がりまで保持する。EXOR回路132は、データ信号DATAとD-FFから出力するデータ識別信号DTRNとの排他的論理和（EXOR）を演算し、演算結果をデータ信号とクロック信号の位相差信号PHASEとして出力する

【0007】図34よりわかるように、EXOR回路132の出力パルスPHASEの幅は、データDATAの立ち上がりまたは立ち下がりエッジからその後のクロック信号CLKの立ち上がりエッジまでの遅延時間で決まる。このため、信号PHASEの平均値はデータ信号DATAとクロック信号CLKの位相差に応じた値となる。EXOR回路132の出力信号PHASEのLOWレベルを0、HIGHレベルを1とした場合、入力データがランダムでマーク率が1/2ならば、位相比較回路の位相比較特性は図35に示すように、位相差信号PHASEの平均値は0～0.5の間で位相 $\theta$ に対してのこぎり波特性となる。

【0008】PLL方式のタイミング抽出回路4（図32）は、データ信号DATAとクロック信号CLKの位相を所要値 $\phi$ にするため、位相比較回路121の出力が一定（＝S）になるように制御する。位相 $\phi$ でPLLが安定するためには、クロック信号の位相がデータ信号に対して $\phi$ 以上になれば（位相遅れ）クロック信号の位相を進めるように、つまりVOC回路123の周波数を高くするように制御し、クロック信号の位相がデータ信号に対して $\phi$ 以下になれば（位相進み）クロック信号の位相を遅らせるように、つまりVOC回路123の周波数を低くするように制御する。すなわち、図35に示す位相比較特性を有する位相比較回路121を用いて、位相差信号の平均値が設定レベルSより大きい時（位相遅れ）にVOC回路123の周波数が高くなるように、位相差信号の平均値が設定レベルより小さい時（位相進み）にVOC回路123の周波数が低くなるようにPLLを構成すれば、0～ $2\pi$ までの任意の位相 $\phi$ にデータ信号とクロック信号の位相差を設定することができる。

【0009】

【発明が解決しようとする課題】従来の位相比較回路において、データ信号のデューティが100%からずれるとPLLが異なる位相にロックする場合がある。デューティとは、ビットレートを $f$ （ $=1/T$ ）とすればデータ“1”の期間 $T_1$ と $T$ の比である。1周期内の0～ $2\pi$ の位相に対して、位相比較回路の位相比較特性が位相変化に対して同じ方向の傾きを複数持ち、平均値が同じ値となる位相が複数存在するとすれば、複数のどの位相に対

してもPLLがロックする可能性があり、位相を確定することができない。デューティが100%ならば図35に示すように、1周期内で同じ方向の傾きは1つしか存在しない。このため、平均値が同一値となる位相は1つしか存在しないため、上記の問題は生じない。しかし、デューティが100%からずれると1周期内で同じ方向の傾きが2つ存在するようになり、平均値が同一値となる位相が2つ存在し上記の問題が生じる。

【0010】図36はデューティ75%の場合のタイミングチャートであり、データDATA（a）の立ち下がり位相を進めることでデューティの変化を表している。また比較のためのデューティが100%の場合の波形を点線で示している。データDATA（a）とクロック信号CLK（b）の位相差が小さいうちはデューティ100%の時とでは位相差信号PHASE（d）のパルス幅が異なるだけだが、データDATA（a）とクロック信号CLK（b'）の位相差が $1.5\pi$ （1周期の75%）を越えると、データの立ち下がりによって生じていたパルスが消失してしまう。そのため鋸歯状波の位相比較特性は図37の実線で示すように、1周期（ $=2\pi$ ）内において2段になる。ここで、データとクロックの位相差を $\phi_1$ に設定するために、位相差信号の平均値がV1になるように制御すると、PLLは $\phi_1$ の位相に加えて $\phi_2$ の位相でも同期する可能性があり、位相を確定することができなくなる。尚、一般に、位相比較特性が不連続になる位相差はデューティを $d(\%)$ とすれば、 $2\pi \cdot (d/100)$ である。

【0011】以上ではデューティが100%以下になった場合であるが、100%以上になった場合にも鋸歯状波の位相比較特性は図38の実線で示すように、1周期（ $=2\pi$ ）内において2段になる。図38はデューティが125%の場合であり、位相比較特性が不連続になる位相差はデューティを $(100+d)(\%)$ とすれば、 $2\pi \cdot (d/100)$ であり、125%の場合の不連続点は $\pi/2$ である。以上より本発明の目的は、データ信号のデューティが100%からずれている場合でも、PLL回路が誤った位相にロック（誤同期）しないようにすることである。本発明の別の目的は、PLL回路が誤った位相にロック（誤同期）しないようにした位相比較回路を提供することである。本発明の別の目的は、位相比較回路に位相比較機能に加えて周波数比較機能を付加し、PLL回路の同期引込みレンジを拡大し、又、同期引込み期間を短縮することである。本発明の別の目的は対応できるデューティ変動範囲を拡大することである。

【0012】

【課題を解決するための手段】上記課題は、第1の発明によれば、①データ信号を入力されクロック信号により該データ信号を識別するデータ識別部と、②データ信号とデータ識別部から出力するデータ識別信号との位相差を示す信号を出力する位相検出部と、③誤同期する可能性のある位相範囲内に、データ信号とクロック信号の位

相差が存在するか検出する誤同期位相検出部と、④前記位相差が前記位相範囲外に存在する場合には前記位相差信号を出力し、前記位相範囲内に存在する場合には一定値を出力する出力固定部を備えた位相比較回路により達成される。このようにすれば、デューティが100%からずれていても、位相比較特性の1周期内において同じ方向の傾きを1つだけにできる。このため、位相差信号(位相比較信号)の平均値が同一値となる位相を1周期内においてただ1つにでき、PLL回路が目標位相以外の位相にロックする誤同期をなくすことができる。

【0013】又、上記課題は、第2の発明によれば、①データ信号を入力されクロック信号により該データ信号を識別するデータ識別部と、②データ信号とデータ識別部から出力するデータ識別信号との位相差を示す信号を出力する位相検出部と、③クロック信号の位相を変調する位相変調回路を備え、前記データ識別部において、位相変調回路により位相変調されたクロック信号を用いてデータ信号を識別する位相比較回路により達成される。このようにすれば、デューティが100%からずれていても、位相比較特性の急しゅんな不連続部分をなだらかに変化させて1周期内において同じ方向の傾きを1つだけにできる。このため、位相差信号の平均値が同一値となる位相を1周期内において1つにでき、PLL回路が目標位相以外の位相にロックする誤同期をなくすことができる。

【0014】又、上記課題は、第3の発明によれば、①データ信号を入力されクロック信号により該データ信号を識別するデータ識別部と、②データ信号とデータ識別部から出力するデータ識別信号との位相差を示す信号を出力する位相検出部と、③誤同期する可能性のある位相範囲内に、前記データ信号とクロック信号の位相差が存在するか検出する誤同期位相検出部と、④データ信号とクロック信号の位相差が、(1)前記位相範囲外に存在すれば前記位相差信号を出力し、(2)前記位相範囲内に存在し、かつ、増加する方向に変化していれば、第1の設定値を出力し、(3)前記位相範囲内に存在し、かつ、減少する方向に変化していれば第2の設定値を出力する出力固定部、を備えた位相比較回路により達成される。

【0015】このようにすれば、第1の発明と同様に、デューティが100%からずれていても、位相比較特性の1周期内において同じ方向の傾きを1つだけにできる。このため、位相差信号の平均値が同一値となる位相を1周期内において1つにでき、PLL回路が目標位相以外の位相にロックする誤同期をなくすことができる。また、位相差が増加する方向に変化していれば、すなわち、クロック周波数がデータ周波数より低速であれば、位相差信号を第1の設定値(ハイレベル)に固定し、位相差が減少する方向に変化していれば、すなわち、クロック周波数がデータ周波数より高速であれば、位相差信号を第2の設定値(ローレベル)に固定する。この結果、クロ

ック周波数が低速であれば位相差信号の平均値が大きくなり、クロック周波数が高速であれば、位相差信号の平均値が小さくなるから、PLL回路は平均値の大小に応じて同期引込み方向を認識してクロック周波数を所定周波数に短時間で引き込むことが可能になる。すなわち、PLL回路の同期引込みレンジを拡大し、又、同期引込み期間を短縮できる。

【0016】又、デューティを補償するデューティ補償回路を通過したデータ信号を第1から第3の発明の位相比較回路のデータ信号とする。このようにすれば、位相比較回路が対応できるデューティ変動範囲を拡大でき、しかも、デューティ補償回路の残差分のみ位相比較回路で対応すればよく、誤同期位相範囲を減小して位相制御可能範囲を拡大することができる。

【0017】

【発明の実施の形態】(A)本発明の第1の位相比較回路

(a)原理構成

図1は本発明の第1の位相比較回路の原理構成図である。図中、11はデータ信号DATAを入力されクロック信号CLKの立上りに同期して該データ信号のレベルを識別するデータ識別部(D型フリップフロップ(D-FF))、12はデータ信号DATAとデータ識別部から出力するデータ識別信号DTRNとの排他的論理和(EXOR)を演算し、演算結果を位相差信号PHASEとして出力するEXOR回路であり、D-FF 11及びEXOR回路12は図33に示した従来の位相比較回路を構成する。13は誤同期する可能性のある位相範囲内に、データ信号DATAとクロック信号CLKの位相差が存在するか検出し、存在する場合に誤同期位相信号ESPDを出力する誤同期位相検出部、14は位相検出信号PHDTを出力する出力固定回路であり、(1)位相差が前記位相範囲外に存在すれば位相差信号PHASEを出力し、(2)前記位相範囲内に存在すれば一定値を出力する。

【0018】データ信号DATAのデューティを $d(\%)$  ( $d < 100$ )とすれば、図37より誤同期する可能性のある位相範囲は $2\pi \cdot (d/100) \sim 2\pi$ である。又、デューティを $(100+d)(\%)$ とすれば、誤同期する可能性のある位相範囲は図38より $0 \sim 2\pi \cdot (d/100)$ である。誤同期位相検出回路13は位相差が上記範囲内に存在することを検出して誤同期位相検出信号ESPDとしてローレベルを出力する。出力固定回路14は位相差が誤同期位相範囲外であり、誤同期位相検出信号ESPDがハイレベルのとき、EXOR回路12から出力する位相差信号PHASEを出力し、位相差が誤同期位相範囲内にあり、誤同期位相検出信号ESPDがローレベルのとき、位相差信号PHASEに変えて一定の信号を出力する。図2はデューティ75%の場合において出力固定回路14から出力する位相検出信号PHDTの平均値の位相特性であり、図2(a)は一定値をローレベルとした場合、図2(b)は一定値をハイレベルにした場合であ

る。尚、図2において $d=75\%$ であるため、 $3\pi/2 \sim 2\pi$ が誤同期する可能性のある位相範囲である。以上のようにすれば、デューティが100%からずれていても、同じ方向の傾きを2以上持たないため、同じ平均値を持つ位相が1周期内に2か所以上存在せず、誤同期を防ぐことができる。

#### 【0019】 (b) 実施例

図3は第1の発明の実施例である位相比較回路のブロック図であり、図1と同一部分には同一符号を付している。11は第1のD-FF(D-FF1)、12はEXOR回路、13はデータ信号DATAのデューティが100%以下になったときの誤同期位相検出回路、14はアンドゲートANDで構成した出力固定回路である。誤同期位相検出回路13において、13a、13bは第2、第3のD-FF(D-FF2、D-FF3)、13c、13dは反転回路、13eはナンドゲートである。D-FF2はデータ信号DATAの立ち上がり時におけるクロック信号CLKのレベルを識別するもの、D-FF3はデータ信号DATAの立下がり時におけるクロック信号CLKのレベルを識別するものである。

【0020】データ信号DATAのデューティが100%以下の場合に誤同期が生じるのは、図36からわかるように、データ信号のパルス幅が狭くなって欠落した"1"の部分にクロックCLKの立ち上がりがある場合である。この「パルス幅が狭くなって欠落した"1"の部分にクロック信号の立ち上がりがある場合」というのは、①データ信号DATAの立ち上がり時はクロック信号レベルがHIGHで、かつ、②データ信号の立ち下がり時はクロック信号レベルがLOWの場合と言い換えることができる。そこで、上記①、②の状態をD-FF2およびD-FF3で検出して位相検出信号PHDTの出力レベルを一定値に固定すれば誤同期を防ぐことができる。すなわち、D-FF2で①の状態を検出し、D-FF3で②の状態を検出して両者のアンドをとれば、誤同期の可能性のある状態を検出できる。この時、ナンドゲート13eの出力信号ESPDはLOWになるから、出力固定回路14のアンドゲートANDで位相差信号PHASEの出力を阻止し、ローレベルに固定した位相検出信号PHDTを出力して誤同期の可能性を無くすことができる。

【0021】図4は図3の位相比較回路のタイムチャートであり、図4(a)はデューティ $d(=75\%)$ で位相差が $0 \sim 2\pi (d/100) (=0 \sim 3\pi/2)$ の場合のタイムチャートで、出力固定回路14において出力を一定値に固定しない状態である。図4(b)はデューティ $d(=75\%)$ で位相差が $2\pi (d/100) \sim 2\pi (=3\pi/2 \sim 2\pi)$ の場合のタイムチャートで、出力固定回路14において出力をLOWレベルに固定した状態である。以上では、デューティ100%以下の場合であるがデューティが100%以上になった場合も同様に誤同期を防止できる。すなわち、デューティが100%以上になったとき誤同期が生じるのは、デューティ100%以下の

場合と逆になり、①' データの立ち上がり時はクロック信号レベルがLOWで、かつ、②' データの立ち下がり時はクロック信号レベルがHIGHの場合である。そこで、上記①'、②'の両方の状態が検出された時、位相検出信号PHDTを一定値に固定して誤同期を防ぐ。

【0022】図5はデューティが100%以上の場合における位相比較回路の構成図であり、図3と同一部分には同一符号を付しており、異なる点は反転回路13d'の位置である。D-FF2及び反転回路13d'で①'の状態を検出し、D-FF3で②'の状態を検出して両者のアンドをとることにより、誤同期の可能性のある状態を検出する。この時、ナンドゲート13eの出力信号ESPDはLOWになるから、出力固定回路14のアンドゲートANDで位相差信号PHASEの出力を阻止し、ローレベルに固定した位相検出信号PHDTを出力して誤同期の可能性を無くす。尚、デューティ100%以下、100%以上のそれぞれの実施例を別個に示したが、両方を組み合わせて位相比較回路を構成することもできる。以上、第1の発明の位相比較回路によれば、デューティが変化してもPLLが誤った位相で同期することはない。

#### 【0023】 (B) 本発明の第2の位相比較回路

##### (a) 原理構成

図6は第2の発明の位相比較回路の原理構成図である。図中、11はデータ信号DATAを入力されクロック信号CLKの立ち上りに同期して該データ信号のレベルを識別するデータ識別部(D型フリップフロップ(D-FF))、12はデータ信号DATAとデータ識別部から出力するデータ識別信号DTRNとの排他的論理和(EXOR)を演算し、演算結果を位相差信号PHASEとして出力するEXOR回路であり、D-FF11及びEXOR回路12は図33に示した従来の位相比較回路を構成する。21はクロック信号の位相を変調する位相変調回路であり、D-FF11は、位相変調回路21により位相変調されたクロック信号CLK'を用いてデータ信号DATAを識別する。クロック信号に位相変調をかけると、変調の幅に応じて位相比較特性が位相方向に平均化され、図7に示すようになだらかに変化する。すなわち、位相比較特性の急しゅんな不連続部分をなだらかに変化させて1周期内において同じ方向の傾きを1つだけにできる。この結果、位相変調しない場合は位相 $\phi$ に同期しようとしても $\phi'$ の位相に同期する可能性があるが、本発明のように位相変調した場合には $\phi'$ での位相方向に対する傾きが $\phi$ とは逆になっているため、 $\phi'$ での誤同期は起きなくなる。

##### 【0024】 (b) 第1実施例の構成

図8は第2の発明の実施例である位相比較回路のブロック図であり、図6と同一部分には同一符号を付している。11はD-FF、12はEXOR回路、21は位相変調回路である。位相変調回路21において、21aはクロック位相を変調する位相可変回路、21bは位相可変回路の位相制御端子に所定周波数の電圧信号を入力する発

振回路である。位相可変回路21aは抵抗21a-1及び可変容量ダイオード21a-2で構成され、位相制御端子に入力する制御電圧Vcを可変することにより可変容量ダイオード21a-2の容量Cを変え、これにより出力端子から出力するクロック信号CLK'の位相を変化する。クロック位相の変調周期は発振回路21bから出力する電圧信号Vcの周波数に等しい。

#### 【0025】(c) 位相可変回路の別の構成

図9は位相可変回路の別の構成図であり、入力信号(クロック信号CLK)を90°位相がずれた2つの信号S1、S2に分配し、この2つの信号のベクトル合成比を変えることにより出力信号(クロック信号CLK')の位相を可変するものである。21a-3は45°進み位相のクロック信号S1と45°遅れ位相のクロック信号S2を発生する信号発生部、21a-4~21a-5はゲイン可変アンプ、21a-6~21a-7はそれぞれ制御電圧Vcの正弦値(sin(Vc))、余弦値(cos(Vc))を出力するゲイン制御電圧発生部であり、21a-8は信号合成部である。

#### 【0026】(d) 第2実施例の構成

図10は第2の発明の位相比較回路の第2実施例の構成図であり、図6と同一部分には同一符号を付している。11はD-FF、12はEXOR回路、22はD-FFのクロックリファレンスレベルCrefを可変する発振器である。D-FF11のCLKリファレンス端子に微小な低周波信号を重畳して変調すると、クロック入力端子Cに入力されるクロック信号CLKの位相に等価的に摂動を与えることができ、位相比較回路から出力する位相差信号PHASEを図7の実線で示すようになだらかに傾斜させることができる。すなわち、図11に示すようにクロックリファレンスレベルCrefを可変するとD-FFの出力であるデータ識別信号DTRNの位相が変調し(進み/遅れ)、クロック位相を変調したのと等価になる。

#### 【0027】(C) 第3の発明の位相比較回路

##### (a) 概略説明

第1の発明では、位相差が誤同期する可能性のある位相範囲内に存在すると、位相検出信号をローレベルあるいはハイレベルの一定値に固定し、誤同期を防止するものである。第3の発明は位相比較に加えて周波数比較も行えるようにしている。すなわち、第3の発明では、図12に示すように、①データ信号とクロック信号の位相差が誤同期する可能性のある位相範囲内(たとえば $0 \sim \pi/2$ 、 $3\pi/2 \sim 2\pi$ とする)に存在し、かつ、クロック周波数がデータ周波数より低速であれば、位相検出信号PHDTを第1の設定値(例えばハイレベル)に固定し、②データ信号とクロック信号の位相差が前記位相範囲内に存在し、かつ、クロック周波数がデータ周波数より高速であれば、位相検出信号PHDTを第2の設定値(例えばローレベル)に固定し、③位相制御範囲内( $\pi/2 \sim 3\pi/2$ )に存在すれば位相差信号を出力して位相制御を行い、位相差をたとえば $\phi(=\pi)$ に制御する。

【0028】以上のようにすれば、第1の発明と同様に、デューティが100%からずれていても、1周期( $0 \sim 2\pi$ )内において同じ方向の傾きを1つだけにできる。このため、位相差信号の平均値が同一値となる位相を1周期内において1つにでき、PLL回路は目標位相 $\phi$ 以外の位相にロックする誤同期をなくすることができる。又、クロック周波数が低速であれば位相検出信号PHDTの平均値が大きくなり、クロック周波数が高速であれば、位相検出信号の平均値が小さくなるから、平均値の大小に応じて同期引込み方向を認識してクロック周波数を所定周波数に短時間で引き込むことが可能になる。すなわち、PLL回路の同期引込みレンジを拡大し、かつ、同期引込み期間を短縮できる。

#### 【0029】(b) 第1実施例

図13は第3の発明の第1実施例である位相比較回路のブロック図であり、第1の発明の原理図である図1と同一部分には同一符号を付している。11は第1のD-FF(D-FF1)、12はデータ信号DATAとクロック信号CLKの位相差に応じた信号を出力するEXOR回路、31は誤同期する可能性のある位相範囲内( $0 \sim \pi/2$ 、 $3\pi/2 \sim 2\pi$ )に、データ信号DATAとクロック信号CLKの位相差が存在するか検出する誤同期位相検出部、32は位相検出信号PHDTを出力するラッチ回路、33はラッチタイミングを決定するラッチタイミング回路である。データ信号のデューティが $(100-d)\%$ ~ $(100+d)\%$ であれば、誤同期の可能性のある位相範囲は第1の発明より $-2\pi \cdot (d/100) \sim 2\pi \cdot (d/100)$ である。 $d=25$ とすれば、誤動作位相範囲は $-\pi/2 \sim \pi/2(=0 \sim \pi/2, 3\pi/2 \sim 2\pi)$ である。そこで、位相差が中心位相 $\pi$ となるようにPLL制御する場合において、 $d=25$ とすれば、 $\pi/2 \sim 3\pi/2$ で位相差が中心位相 $\pi$ となるように位相制御を行い、 $0 \sim \pi/2$ 、 $3\pi/2 \sim 2\pi$ で位相検出信号を一定値に固定する。

【0030】誤同期位相検出部31は、クロック信号CLKの位相を $\pi/2$ シフトする遅延回路31a、データ信号DATAの立上り時における( $\pi/2$ )位相遅延クロックCLK'のレベルを記憶するD型フリップフロップ(D-FF2)31bで構成されている。位相差が誤同期位相範囲内( $0 \sim \pi/2$ 、 $3\pi/2 \sim 2\pi$ )に存在すれば、データ信号DATAの立上り時における( $\pi/2$ )位相遅延クロックCLK'のレベルは必ずローレベルになる、従って、このローレベルをD-FF2に保持することにより位相差が誤同期位相範囲内にあることを識別できる。ラッチタイミング回路33は、クロック信号CLKの極性を反転する反転回路33aと、クロック信号CLKの立下りのタイミングでD-FF2の出力レベルを保持してラッチ回路32に入力するD型フリップフロップ(D-FF3)を備えている。すなわち、ラッチタイミング回路33は、クロック信号の立下りでラッチ回路32にラッチタイミングを入力する。

【0031】ラッチ回路32は、図12に示すように、



①データ信号とクロック信号の位相差が位相制御範囲内 ( $\pi/2 \sim 3\pi/2$ ) に存在する場合には、位相差信号PHASE (d) を位相検出信号PHDTとして出力し、②データ信号とクロック信号の位相差が誤同期位相範囲内 ( $0 \sim \pi/2, 3\pi/2 \sim 2\pi$ ) に存在し、かつ、位相差が増加する方向に変化していれば(データ信号よりクロック信号の周波数の方が低い時)、位相検出信号PHDTを第1の設定値(ハイレベル)に固定し、③データ信号とクロック信号の位相差が前記誤同期位相範囲内に存在し、かつ、位相差が減少する方向に変化していれば(データ信号よりクロック信号の周波数の方が高い時)、位相検出信号PHDTを第2の設定値(ローレベル)に固定する。尚、ラッチ回路32は、クロック信号CLKの立下がり時におけるD-F F2の出力レベルがハイレベルであればラッチを解除し、EXOR回路12から出力する位相差信号PHASE (d) を出力する。

【0032】図14は第3の発明の位相比較回路のタイムチャートであり、データ信号とクロック信号の周波数が一致し、かつ、位相差が位相制御範囲内 ( $\pi/2 \sim 3\pi/2$ ) に存在する場合である。かかる場合には、D-F F2、D-F F3の出力はローレベルになることはなく、ラッチ回路32は位相差信号PHASE (d) を位相検出信号PHDT (h) として出力する。図15は第3の発明の位相比較回路のタイムチャートであり、データ信号とクロック信号の周波数が一致し、かつ、位相差が誤同期位相範囲内 ( $0 \sim \pi/2, 3\pi/2 \sim 2\pi$ ) に存在する場合であり、D-F F2、D-F F3の出力は常時ローレベルになる。従って、ラッチ回路32は、D-F F3出力がローレベルになった時の位相差信号PHASEのレベルをラッチして出力する。

【0033】図16、図17は第3の発明の位相比較回路のタイムチャートであり、図16はクロック周波数がデータ周波数より高い場合、図17はクロック周波数がデータ周波数より低い場合である。クロック信号CLKの周波数がデータDATAの周波数より高い場合には(図16)、クロック信号CLKの位相はデータ信号DATAに対して進み続ける。この時、D-F F3の出力信号(g)は、HIGH, LOWを繰り返す。このため、位相検出信号PHDT (h) は一部の期間でラッチされることになる。このラッチされるタイミングは、位相差信号PHASE (d) のデューティが25%以下になった後のクロック信号CLKの立ち下がりで決まる。位相差信号PHASE (d) の立ち下がりにはクロック信号CLKの立ち上がりで決まっており、次の位相差信号PHASE (d) の立ち上がりは早くても75%に相当する時間だけ後になる。このため、クロック信号CLKの立ち下がり時(50%後)に、位相差信号PHASE (d) は必ずLOWになっている。従って、クロック信号CLKの周波数のほうが高い場合には位相検出信号PHDT (h) の平均値は、大きくLOW側にずれることになる。これにより周波数ずれを検出することができる。図18 (a) はデータ信号よりクロック

信号の周波数の方が高い時におけるラッチタイミング説明図である。

【0034】逆にクロック信号CLKの周波数がデータ信号DATAの周波数より低い場合には(図17)、クロック信号CLKの位相はデータ信号DATAに対して遅れ続ける。この時のラッチのタイミングは、位相差信号PHASE (d) のデューティが75%以上になった後のクロック信号CLKの立ち下がりで決まる。位相差信号PHASE (d) の立ち下がりにはクロック信号CLKの立ち上がりで決まっており、次の位相差信号PHASE (d) の立ち上がりは遅くても25%に相当する時間だけ後になる。このため、クロックの立ち下がり時(50%後)に、位相差信号PHASE (d) は既に立ち上がっており必ずHIGHになっている。このように、クロック周波数が低速時にはラッチは必ずHIGHでかかるため、位相検出信号PHDT (h) の平均値は大きくHIGH側にずれることになる。以上により周波数ずれを検出することができる。図18 (b) はデータ信号よりクロック信号の周波数の方が低い時におけるラッチタイミング説明図である。以上のようにクロック周波数の高低によりラッチレベルが異なるため、位相検出信号の平均値を参照することによりクロック信号とデータ信号の、どちらの周波数が高いかも検出することができる。

【0035】(c) 第2実施例

図19は第3の発明の第2実施例である位相比較回路のブロック図であり、図13の第1実施例と同一部分には同一符号を付している。第1実施例と異なる点は、第1実施例ではクロック信号CLKの立下がり時がラッチタイミングであるが、第2実施例ではデータ信号DATAの立上り時刻から位相 $\pi$ に相当する時間経過した時刻がラッチタイミングである。第2実施例におけるその他の動作は第1実施例と同一である。図19において、11は第1のD-F F(D-F F1)、12はデータ信号DATAとクロック信号CLKの位相差に応じた信号を出力するEXOR回路、31は誤同期する可能性のある位相範囲内 ( $0 \sim \pi/2, 3\pi/2 \sim 2\pi$ ) に、データ信号DATAとクロック信号CLKの位相差が存在するか検出する誤同期位相検出部、32は位相検出信号PHDTを出力するラッチ回路、33はラッチタイミングを決定するラッチタイミング回路である。ラッチタイミング回路33は、D-F F2の出力レベルを位相 $\pi$ に相当する時間遅延する遅延回路33cで構成されている。

【0036】図20は第2実施例のラッチタイミング説明図である。クロック信号CLKの周波数がデータDATAの周波数より高い場合には(図16))、クロック信号CLKの位相はデータ信号DATAに対して進み続ける。この時ラッチタイミング回路33の出力信号(g)は、HIGH, LOWを繰り返し、位相検出信号PHDT (h) は一部の期間で一定値にラッチされる。このラッチタイミングは、図20

(a) に示すように、位相差信号PHASE (d) のデューティが25%以下になって後、データ信号DATAの立ち上がり

後の $\pi$  (デューティに換算して50%)に相当する時間経過した時刻である。位相差信号PHASE (d)の立ち上がりはデータ信号DATAの立ち上がりで決まっており、このため、データ信号DATAの立ち上がり後の $\pi$  (デューティ=50%)に相当する時間経過した時刻において、位相差信号PHASE (d)は必ずLOWになっている。従って、クロック信号CLKの周波数のほうが高い場合には位相検出信号PHDT (h)の平均値は、大きくLOW側にずれることになる。これにより周波数ずれを検出することができる。

【0037】逆にクロック信号CLKの周波数がデータ信号DATAの周波数より低い場合には(図17)、クロック信号CLKの位相はデータ信号DATAに対して遅れ続ける。この時のラッチのタイミングは、図20(b)に示すように、位相差信号PHASE (d)のデューティが75%以上になって後、データ信号DATAの立ち上がり後の $\pi$  (デューティ=50%)に相当する時間経過した時刻である。位相差信号PHASE (d)の立ち上がりはデータ信号DATAの立ち上がりで決まっており、このため、データ信号DATAの立ち上がり後の $\pi$  (デューティ=50%)に相当する時間経過した時刻において、位相差信号PHASE (d)は必ずHIGHになっている。このように、クロック周波数が低速時にはラッチは必ずHIGHでかかるため、位相検出信号PHDT (h)の平均値は大きくHIGH側にずれることになる。以上により周波数ずれを検出することができる。又、クロック周波数のほうが高い場合とは逆にずれるため、どちらの周波数が高いかも検出することができる。

#### 【0038】(d) 第3実施例

図21は第3の発明における第3実施例の位相比較回路のブロック図であり、図13の第1実施例と同一部分には同一符号を付している。第3実施例において、第1実施例と異なる点は誤同期位相検出部31の構成であり、その他の構成は第1実施例と同じである。誤同期位相検出部31において、41は位相 $\pi$ に相当する時間分クロック信号CLKを遅延する第1の遅延回路、42は位相 $\pi/2$ に相当する時間分データ信号DATAを遅延する第2の遅延回路、43は遅延クロック信号の極性を反転する反転回路、44はクロック信号CLK (b)と反転回路から出力する遅延反転クロック信号(f)とのナンド演算を行うナンドゲート、45は第2の遅延回路出力信号(h)の立上りにおけるナンドゲート44の出力信号(g)のレベルを保持するD型フリップフロップ(D-FF2)である。

【0039】D-FF2のデータ端子に入力するナンドゲート44の出力信号(g)は図22のタイムチャートより明らかなようにクロック信号CLKの位相を $\pi$ 遅延した信号に相当する。又、D-FF2のクロック端子に入力する第2遅延回路42の出力信号はデータ信号DATAを $\pi/2$ 遅延したものである。従って、D-FF2のデータ端子、クロック端子に入力するクロック信号、データ信号の位相関係は、第1実施例と同じである。このため、第

3実施例の誤同期位相検出部31において、第1実施例と同様に位相差が誤同期位相範囲内( $0 \sim \pi/2$ ,  $3\pi/2 \sim 2\pi$ )に存在すれば、D-FF2はローレベルを保持する。換言すれば、D-FF2の出力レベルがローレベルであるか否かにより位相差が誤同期範囲内に存在しているか否かを識別できる。

【0040】ラッチタイミング回路33は、D-FF2の出力がローレベルであればクロック信号CLKの立下がりラッチ回路32にラッチタイミングを入力する。ラッチ回路32は、①データ信号とクロック信号の位相差が位相制御範囲内( $\pi/2 \sim 3\pi/2$ )に存在する場合には、位相差信号PHASE (d)を位相検出信号PHDTとして出力し、②データ信号とクロック信号の位相差が誤同期位相範囲内( $0 \sim \pi/2$ ,  $3\pi/2 \sim 2\pi$ )に存在し、かつ、位相差が増加する方向に変化していれば(データ信号よりクロック信号の周波数のほうが低い時)、位相検出信号PHDTを第1の設定値(ハイレベル)に固定し、③データ信号とクロック信号の位相差が前記誤同期位相範囲内に存在し、かつ、位相差が減少する方向に変化していれば(データ信号よりクロック信号の周波数のほうが高い時)、位相検出信号PHDTを第2の設定値(ローレベル)に固定する。又、ラッチ回路32は、クロック信号CLKの立下がり時におけるD-FF2の出力レベルがハイレベルであればラッチを解除し、EXOR回路12から出力する位相差信号PHASE (d)を出力する。

【0041】第3実施例の位相比較回路の特徴は、第1遅延回路41および第2遅延回路42を位相ではなく絶対遅延時間(例えば10Gb/sの遅延時間  $\text{DELAY}(\pi)=50\text{ps}$ 、 $\text{DELAY}(\pi/2)=25\text{ps}$ )で実現することにより、10Gb/s以外の信号(例えば5Gb/s)に対しても、適用できることである。尚、この場合、ラッチをかけるタイミングはデータとクロックの立上り一致前後の位相にできる。図23はデータ周波数5Gb/s場合のタイミングチャートである。

#### 【0042】(e) 第4実施例

図24は第3の発明における第4実施例の位相比較回路のブロック図であり、図21の第3実施例と同一部分には同一符号を付している。第4実施例において、第3実施例と異なる点はラッチタイミング回路33の構成であり、その他の構成は第3実施例と同じである。第3実施例ではクロック信号CLKの立下がりラッチタイミングであるが、第4実施例ではデータ信号DATAの立上り時刻から位相( $\pi$ )に相当する時間経過した時刻がラッチタイミングである。図24において、11は第1のD-FF(D-FF1)、12はデータ信号DATAとクロック信号CLKの位相差に応じた信号を出力するEXOR回路、31は誤同期する可能性のある位相範囲内( $0 \sim \pi/2$ ,  $3\pi/2 \sim 2\pi$ )に、データ信号DATAとクロック信号CLKの位相差が存在するか検出する誤同期位相検出部、32は位相検出信号PHDTを出力するラッチ回路、33はラッチタイミングを決定するラッチタイミング回路で、D-FF2の出力

レベルを位相 $\pi/2$ に相当する時間遅延する遅延回路33cを有している。

【0043】(D) デューティ補償回路を接続した位相比較回路

図25はデューティ補償回路を位相比較回路の前段に設けた第4の発明の構成図である。図中、51はデータ信号DATAのデューティを補償するデューティ補償回路、52は第1～第3の発明における任意の位相比較回路であり、デューティ補償回路を通過したデータ信号DATAを位相比較回路52に inputsする。波形の立ち上がりおよび立ち下がり時間を無視できないような高速信号において、デューティずれは図26(a)～(b)に示すようにクロスポイントずれとして表われる。このような信号に対しては、図27に示すようにクロスポイントの電圧を中心にしてスライス増幅することにより、デューティを100%に戻すことが可能である。図28は正転および反転出力を備えたスライス増幅器SAMPの例であり、スライスの中心電圧(V0)がクロスポイントからずれている場合、正転と反転出力でデューティが異なり、この時各出力の平均電圧も異なる。

【0044】そこで、図25に示すように、平均値検出回路AVD1、AVD2でスライス増幅器SAMPの正転出力および反転出力の平均値を求め、これら平均値が一致するようにスライスの中心電圧をフィードバック制御することにより、両者からデューティ100%の信号を出力できる。すなわち、差動アンプDAMPで正転出力および反転出力の平均値の差を求め、該差をスライスアンプSAMPのスライス電圧として設定すれば、デューティ補償回路51から出力するデータ信号のデューティを100%に近づけることができる。第4の発明によれば、デューティ補償回路51を用いることにより位相比較回路52が対応できるデューティ変動範囲を拡大できるとともに、デューティ補償回路の残差分(100%からの偏差分)のみ位相比較回路52で対応することにより、誤同期位相範囲を減小して位相制御可能範囲を拡大できる。以上、本発明を実施例により説明したが、本発明は請求の範囲に記載した本発明の主旨に従い種々の変形が可能であり、本発明はこれらを排除するものではない。

#### 【0045】

【発明の効果】以上本発明によれば、誤同期する可能性のある位相範囲内に、データ信号とクロック信号の位相差が存在する場合、位相検出信号を一定値に固定するようにしたから、デューティが100%からずれていても、位相比較特性の1周期内において同じ方向の傾きを1つだけにできる。このため、位相検出信号の平均値が同一値となる位相を1周期内において1つにでき、PLL回路が目標位相以外の位相にロックする誤同期をなくすことができる。

【0046】又、本発明によれば、クロック信号の位相を変調する位相変調回路により位相変調されたクロック

信号を用いてデータ信号を識別するようにしたから、デューティが100%からずれていても、位相比較特性の急峻な不連続部分をなだらかに変化させて1周期内において同じ方向の傾きを1つだけにできる。このため、位相検出信号の平均値が同一値となる位相を1周期内において1つにでき、PLL回路が目標位相以外の位相にロックする誤同期をなくすことができる。

【0047】又、本発明によれば、誤同期する可能性のある位相範囲内に、データ信号とクロック信号の位相差が存在し、かつ、位相差が増加する方向に変化していれば(データ信号よりクロック信号の周波数の方が低い時)、位相検出信号を第1の設定値(ハイレベル)に固定し、データ信号とクロック信号の位相差が前記位相範囲内に存在し、かつ、位相差が減少する方向に変化していれば(データ信号よりクロック信号の周波数の方が高い時)、位相検出信号を第2の設定値(ローレベル)に固定するようにしたから、デューティが100%からずれていても、位相比較特性の1周期内において同じ方向の傾きを1つだけにできる。このため、位相検出信号の平均値が同一値となる位相を1周期内において1つにでき、PLL回路が目標位相以外の位相にロックする誤同期をなくすことができる。また、クロック周波数が低速であれば位相検出信号の平均値が大きくなり、クロック周波数が高速であれば、位相検出信号の平均値が小さくなるから、PLL回路は平均値の大小に応じて同期引込み方向を認識してクロック周波数を所定周波数に短時間で引き込むことが可能になる。すなわち、PLL回路の同期引込みレンジを拡大し、又、同期引込み期間を短縮できる。

【0048】又、光通信システムにおいて、光ファイバの非線形性等により、伝送速度が早くなるほど波形歪みの影響が大きくなり、この波形歪みによりデータ信号のデューティが変化する。かかる場合、従来回路では、誤動作する可能性があるが、本発明の位相比較回路によれば、データ信号のデューティが100%からずれた場合にも誤同期するなくPLL制御を実現することができる。又、本発明によれば、デューティ補償回路を用いて対応できるデューティ変動範囲を拡大でき、しかも、デューティ補償回路の残差分のみ位相比較回路で対応することにより、誤同期位相範囲を減小して位相制御可能範囲を拡大することができる。

#### 【図面の簡単な説明】

【図1】第1の発明の位相比較回路の原理図である。

【図2】第1発明の位相比較回路の原理図における位相比較特性である。

【図3】第1の発明の位相比較回路のブロック図( $d < 100\%$ )である。

【図4】第1の発明の位相比較回路のタイミングチャートである。

【図5】第1の発明の位相比較回路のブロック図( $d > 1$

00%)である。

【図 6】第 2 の発明の位相比較回路の原理図である。

【図 7】第 2 の発明の位相比較回路の原理図の位相比較特性である。

【図 8】第 2 の発明の位相比較回路のブロック図である。

【図 9】位相可変回路の別の構成例である。

【図 10】第 2 の発明の位相比較回路の別の構成例(第 2 実施例)である。

【図 11】第 2 実施例の動作説明図である。

【図 12】第 3 の発明の位相周波数比較特性である。

【図 13】第 3 の発明の位相比較回路のブロック図である。

【図 14】第 3 の発明の位相比較回路のタイミングチャート(周波数一致、位相差  $\pi/2 \sim 3\pi/2$ )である。

【図 15】第 3 の発明の位相比較回路のタイミングチャート(周波数一致、位相差  $0 \sim \pi/2, 3\pi/2 \sim 2\pi$ )である。

【図 16】第 3 の発明の位相比較回路のタイミングチャート(クロック周波数のほうが高い場合)である。

【図 17】第 3 の発明の位相比較回路のタイミングチャート(クロック周波数のほうが低い場合)である。

【図 18】ラッチタイミングの説明図である。

【図 19】第 3 の発明の位相比較回路の第 2 実施例の構成図である。

【図 20】ラッチタイミングの説明図である。

【図 21】第 3 の発明の位相比較回路第 3 実施例の構成図である。

【図 22】第 3 実施例のタイムチャートである。

【図 23】 $2\pi = 100\text{ps}(10\text{Gb/s})$ とした時に  $5\text{Gb/s}$  データ信号を入力した場合のタイミングチャートである。

【図 24】第 3 の発明の位相比較回路の第 4 実施例の構成図である。

【図 25】第 4 の発明の構成図である。

【図 26】高速信号のデューティずれである。

【図 27】スライス増幅によるデューティ補償である。

【図 28】反転出力を備えたスライス増幅器である。

【図 29】光受信器のブロック図である。

【図 30】非線形抽出方式によるタイミング抽出回路の構成図である。

10 【図 31】動作波形図である。

【図 32】PLL を用いた従来のタイミング抽出回路の構成図である。

【図 33】従来の位相比較回路のブロック図である。

【図 34】従来の位相比較回路のタイミングチャートである。

【図 35】従来の位相比較回路の位相比較特性である。

【図 36】従来の位相比較回路のタイミングチャート(デューティが 75% の場合)である。

20 【図 37】従来の位相比較回路の位相比較特性(デューティが 75% の場合)である。

【図 38】従来の位相比較回路の位相比較特性(デューティが 125% の場合)である。

【符号の説明】

11・・・データ識別部(D-FF)

12・・・EXOR 回路

13・・・誤同期位相検出部

14・・・出力固定部

DATA・・・データ信号

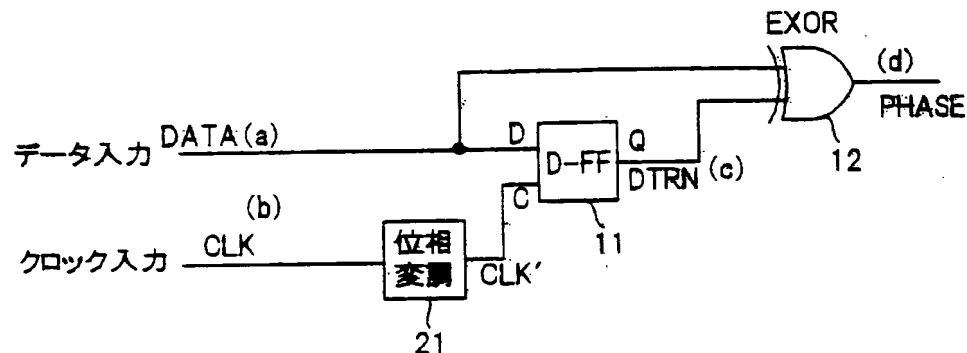
CLK・・・クロック信号

30 PHASE・・・位相差信号

PHDT・・・位相検出信号

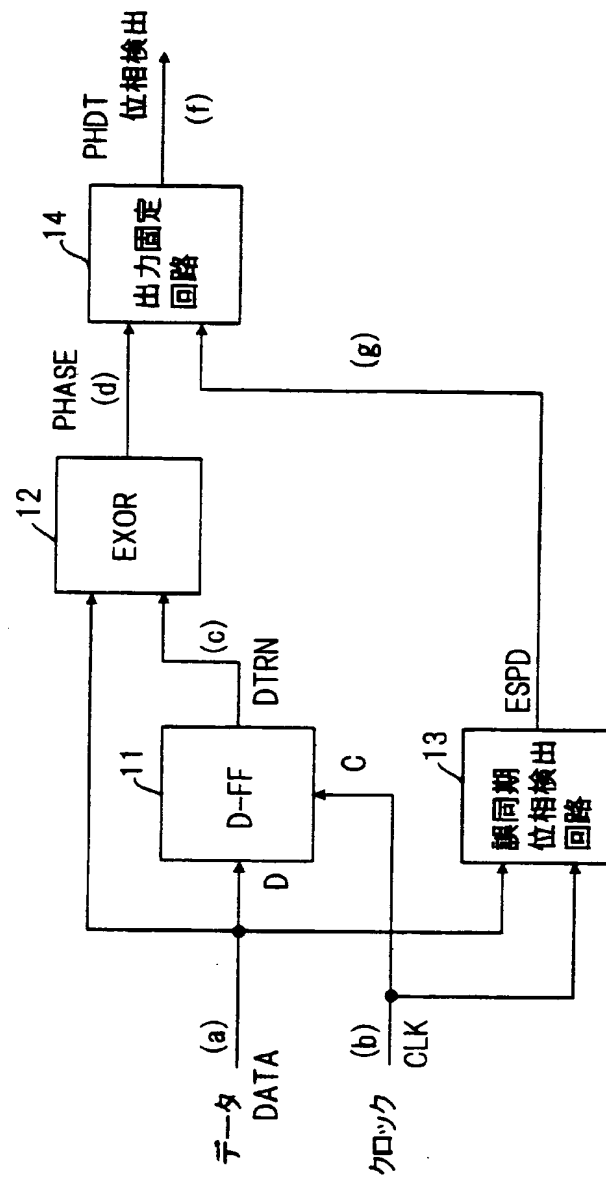
【図 6】

## 第2の発明の位相比較回路の原理図



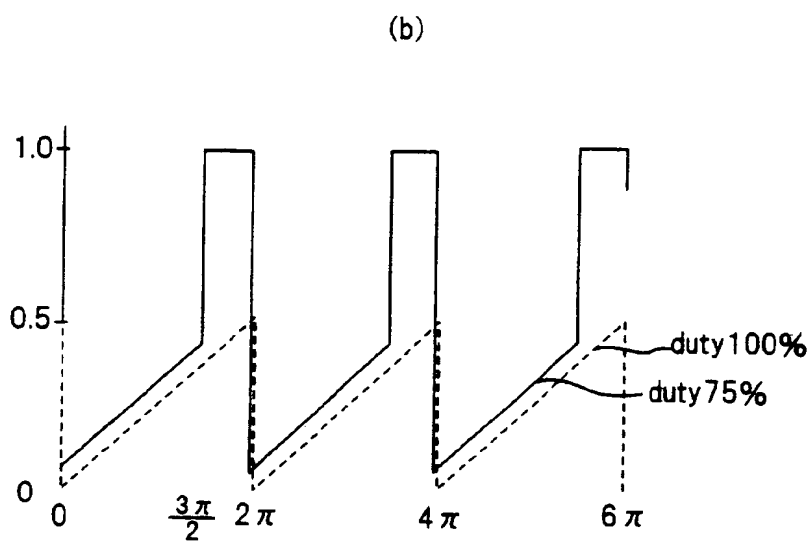
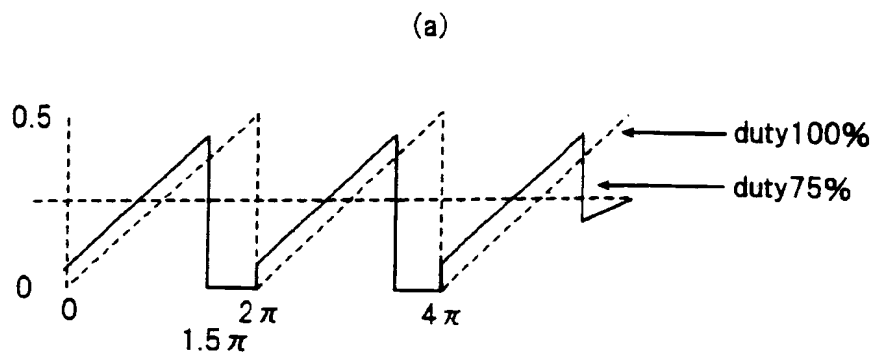
【図1】

## 第1の発明の位相比較回路の原理図



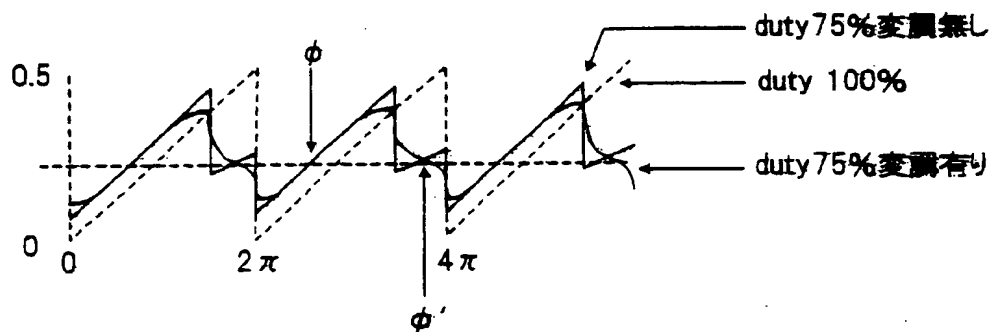
【図 2】

第 1 発明の位相比較回路の原理図における位相比較特性



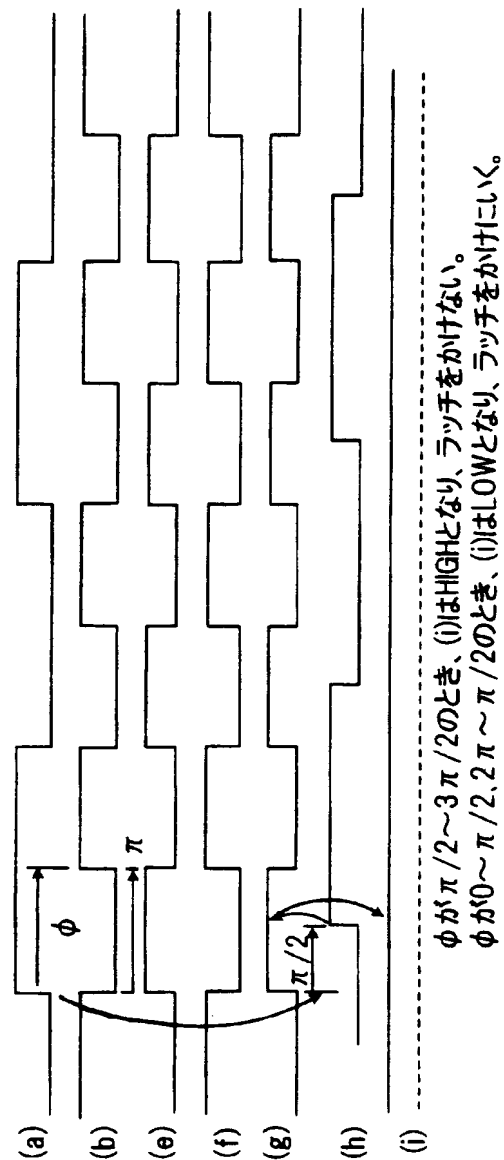
【図 7】

第 2 の発明の位相比較回路の原理図の位相比較特性



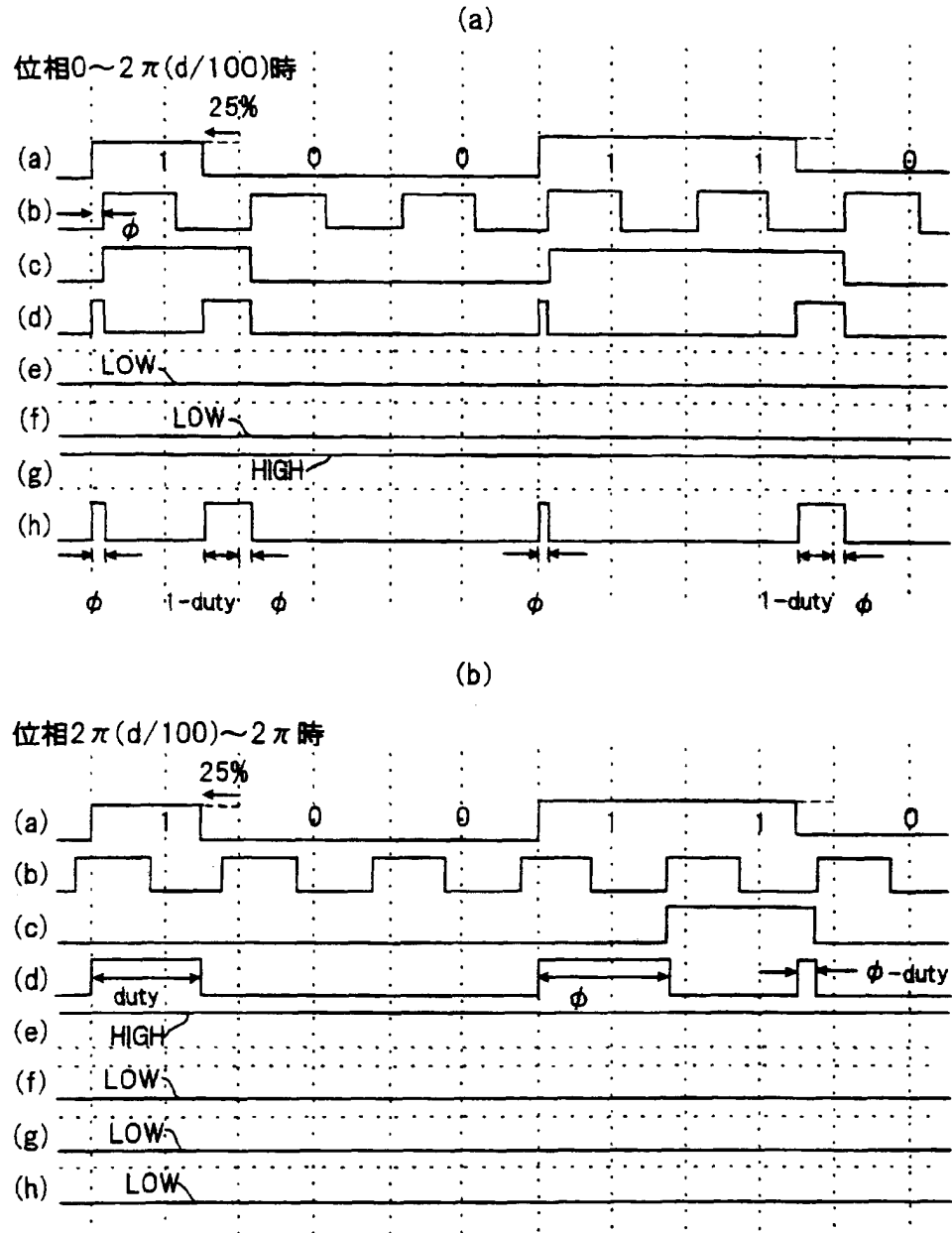
【圖 2 2】

### 第3実施例のタイムチャート



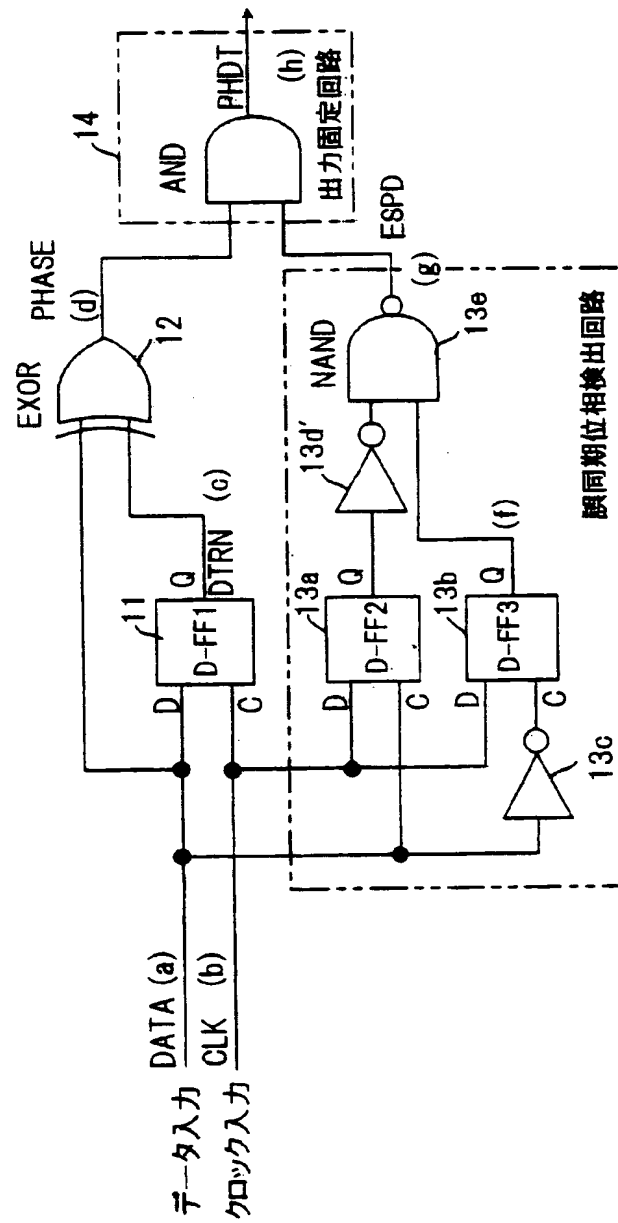
【図 4】

## 第1の発明の位相比較回路のタイミングチャート



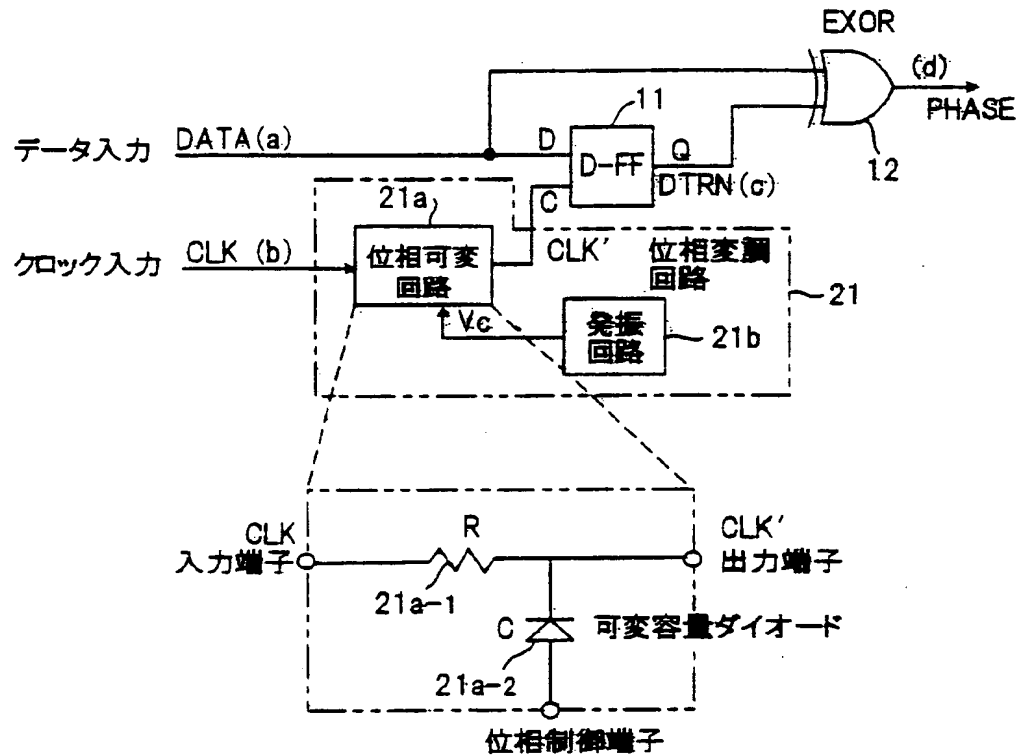


【図5】

第1の発明の位相比較回路のブロック図( $d > 100\%$ )

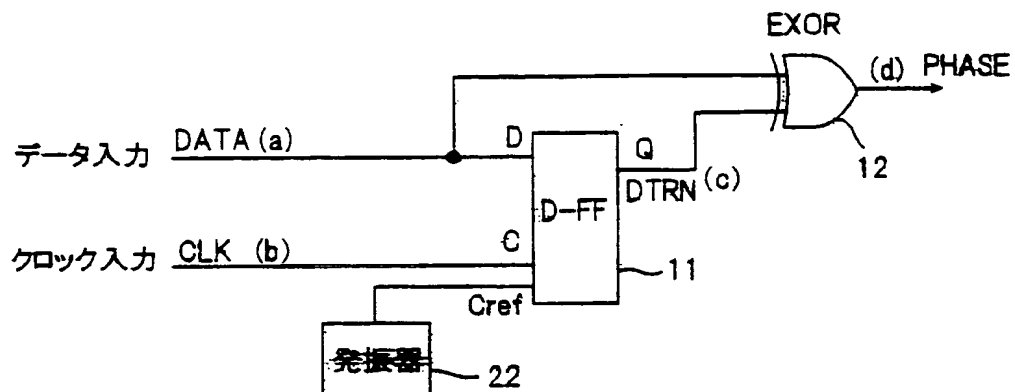
【図8】

## 第2の発明の位相比較回路のブロック図



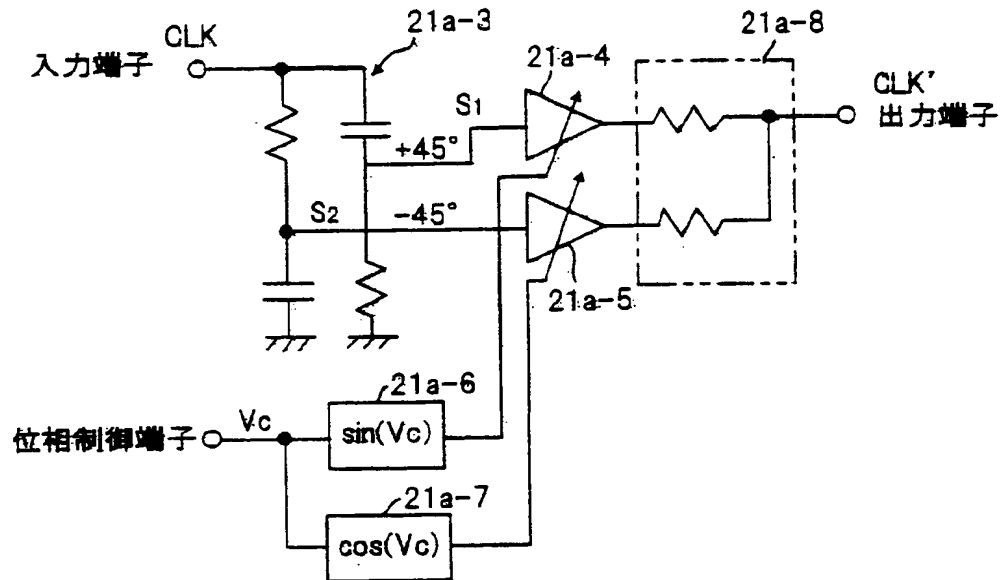
【図10】

## 第2の発明の位相比較回路の別の構成例(第2実施例)



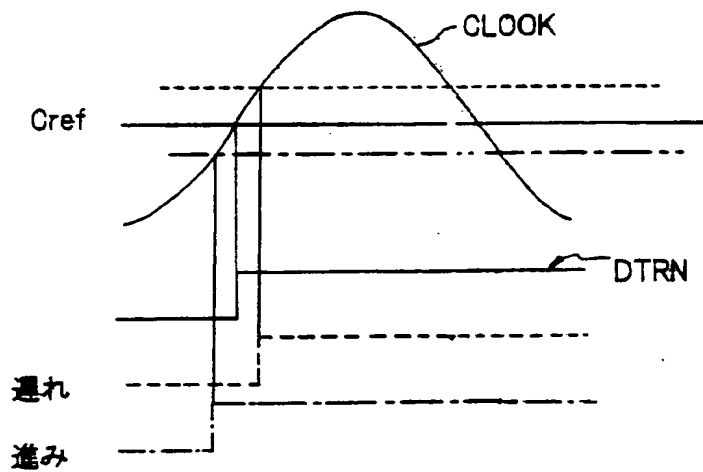
【図9】

## 位相可変回路の別の構成例



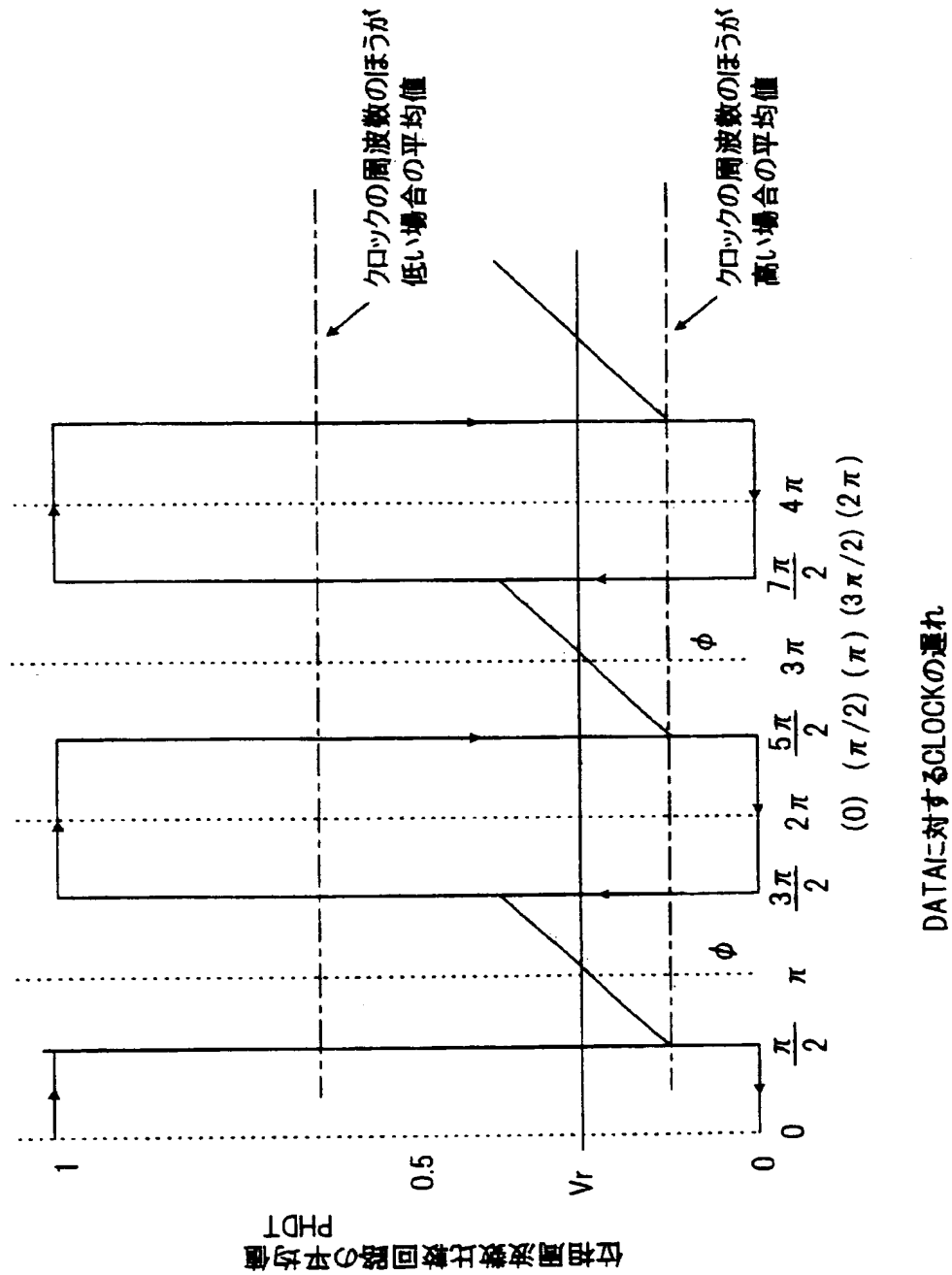
【図11】

## 第2実施例の動作説明図



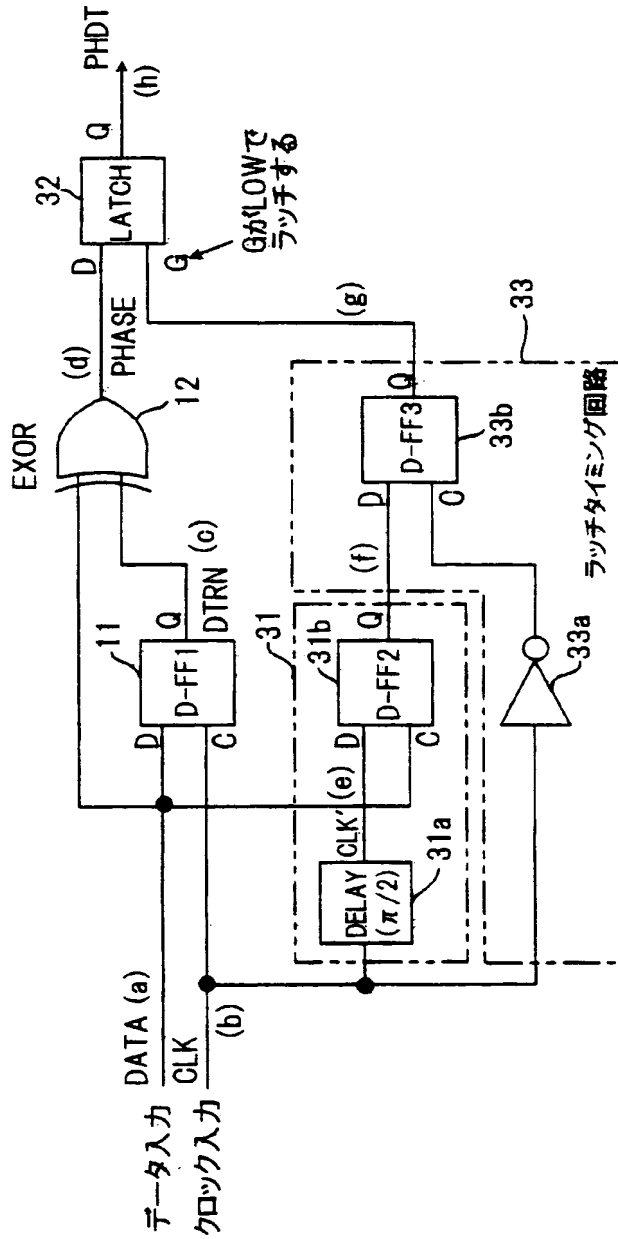
【図12】

## 第3の発明の位相周波数比較特性



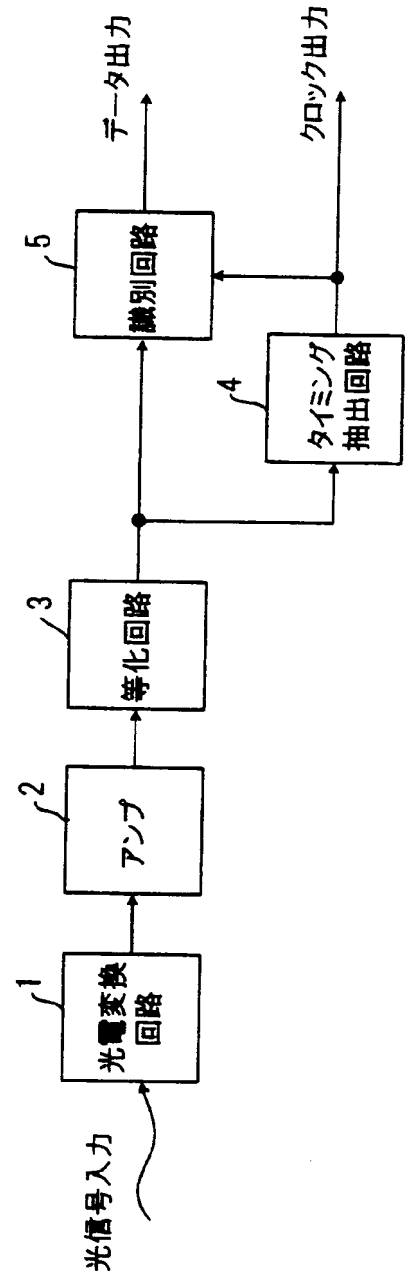
【図13】

第3の発明の位相比較回路のブロック図



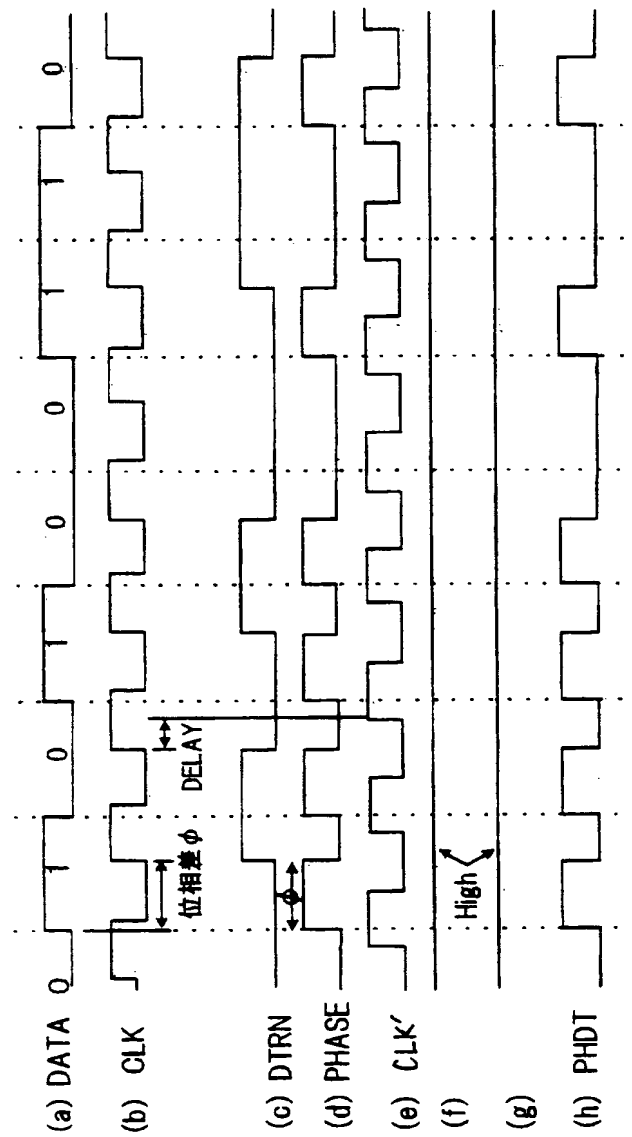
【図29】

光受信機のブロック図



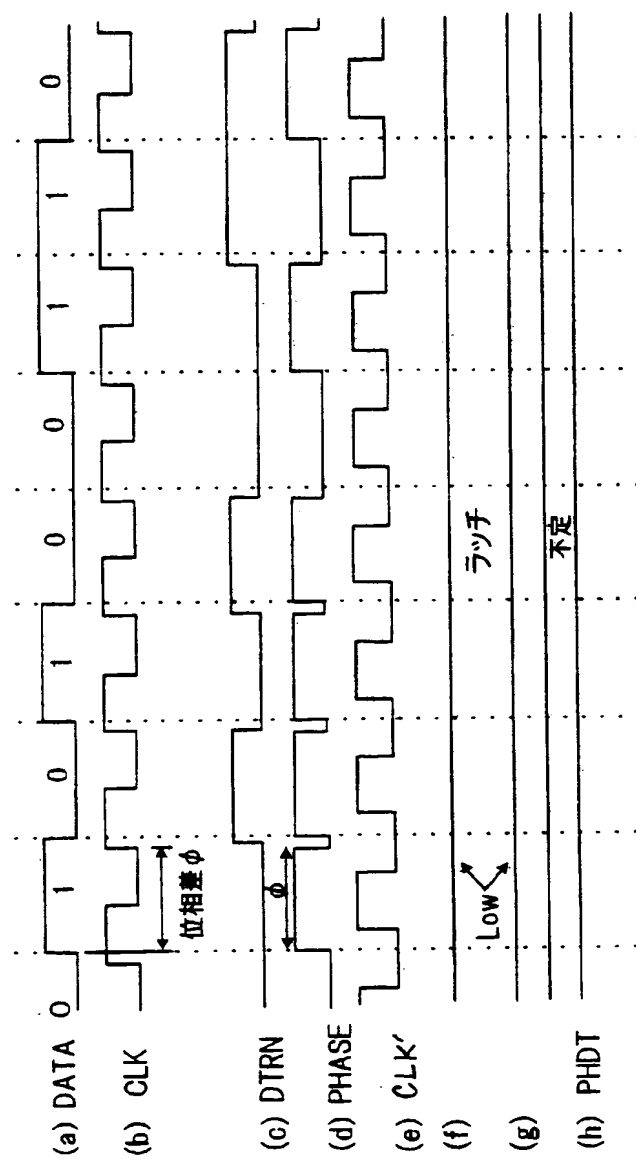
【図 14】

第3の発明の位相比較回路のタイミングチャート  
 (周波数一致、位相差  $\pi/2 \sim 3\pi/2$ )



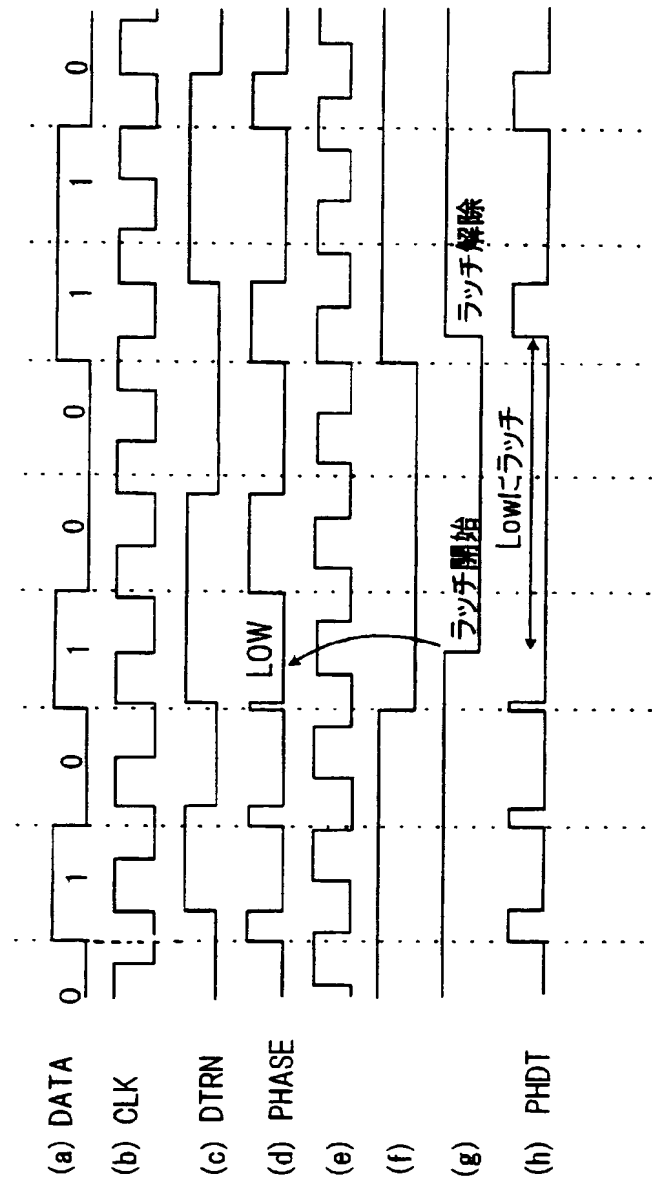
【図 15】

第3の発明の位相比較回路のタイミングチャート  
 (周波数一致、位相差 $0 \sim \pi/2$ 、 $3\pi/2 \sim 2\pi$ )



【図 16】

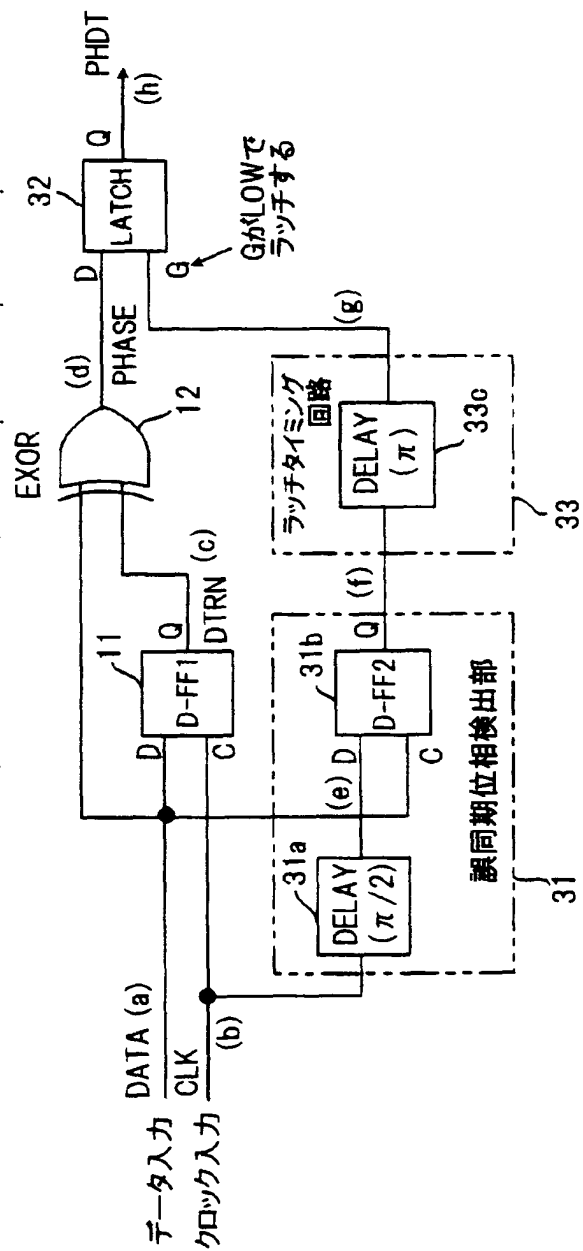
第3の発明の位相比較回路のタイミングチャート  
 (クロック周波数のほうが高い場合)





【圖 19】

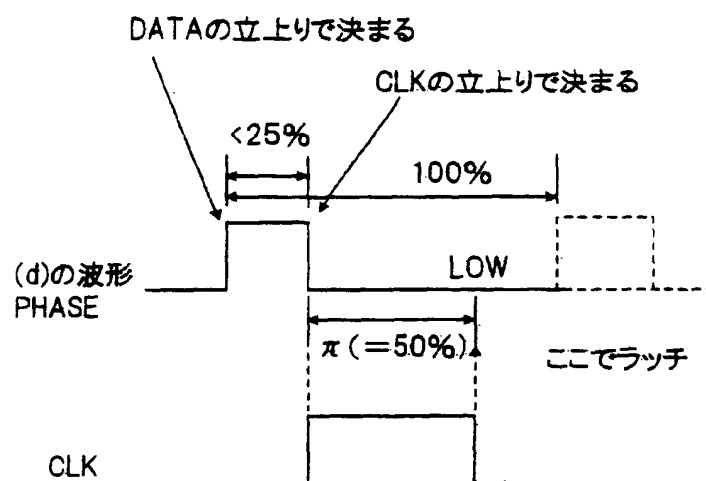
### 第3の発明の位相比較回路の第2実施例の構成図



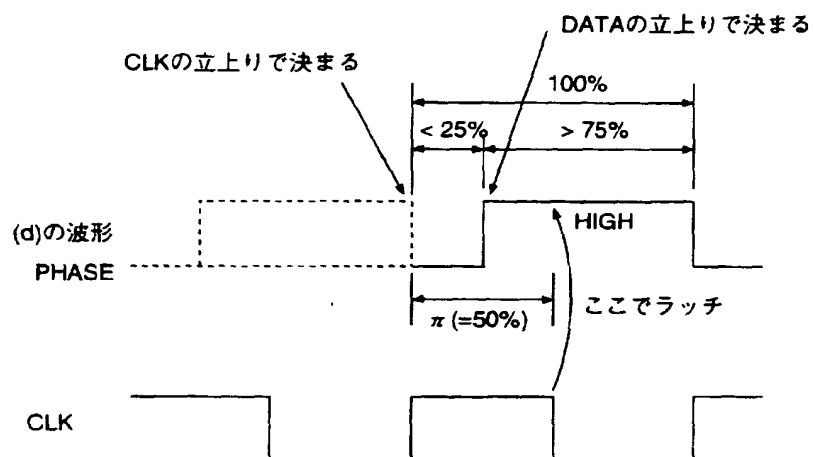
【図18】

## ラッチタイミングの説明

(a) クロック周波数の方が高速の場合



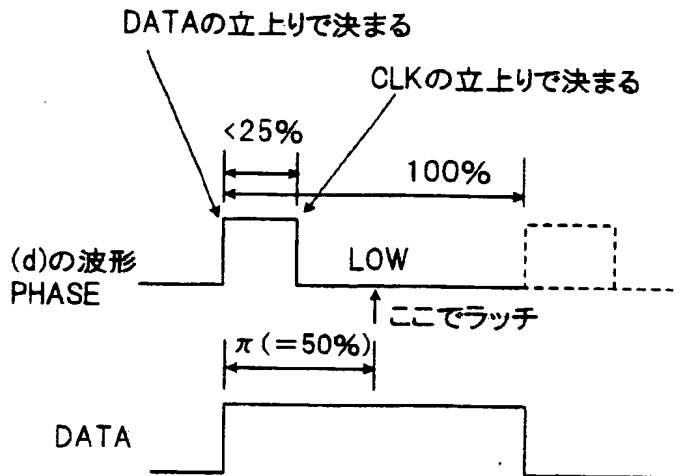
(b) クロック周波数の方が低速の場合



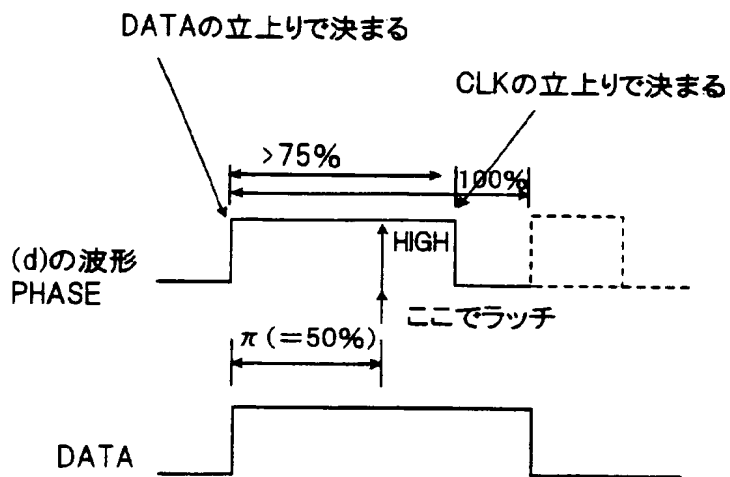
【図20】

## ラッチタイミングの説明図

(a) クロック周波数の方が高速の場合

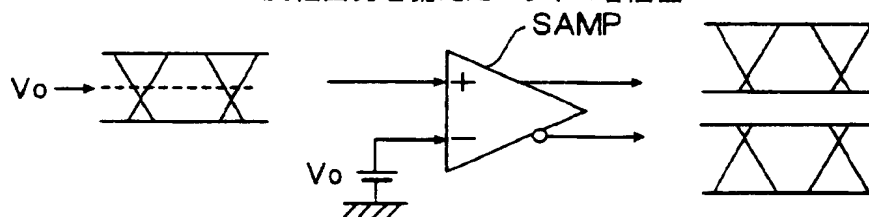


(b) クロック周波数の方が低速の場合



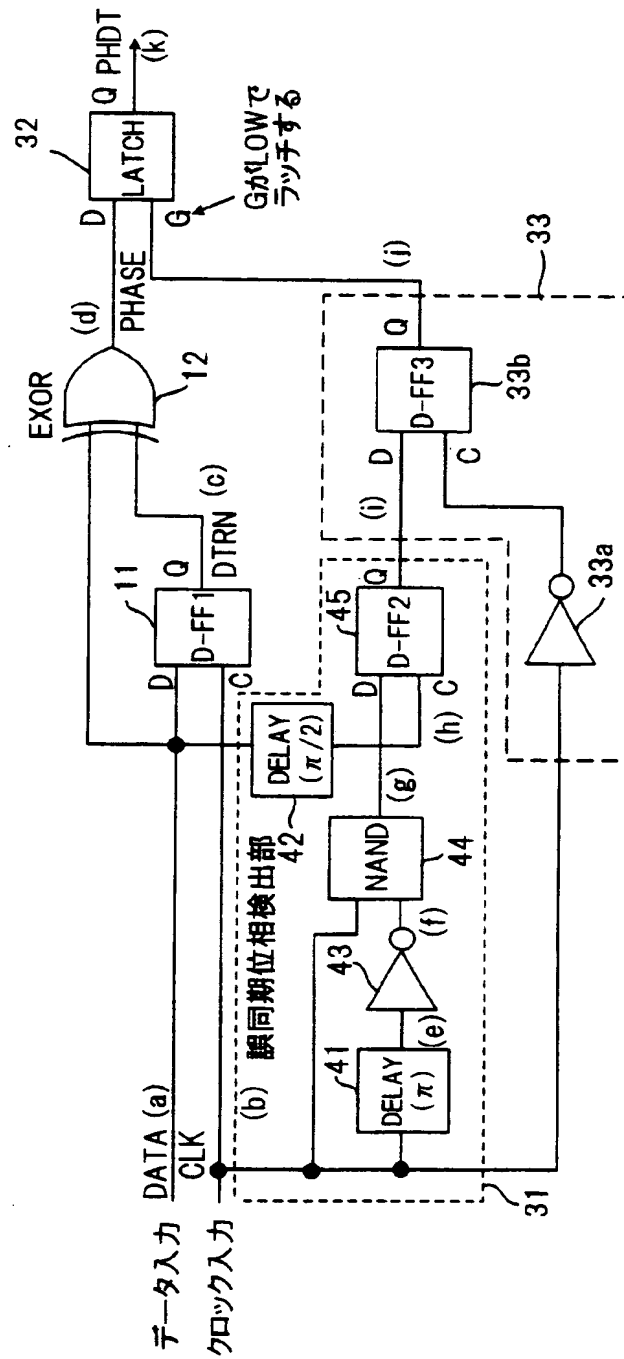
【図28】

## 反転出力を備えたスライス増幅器



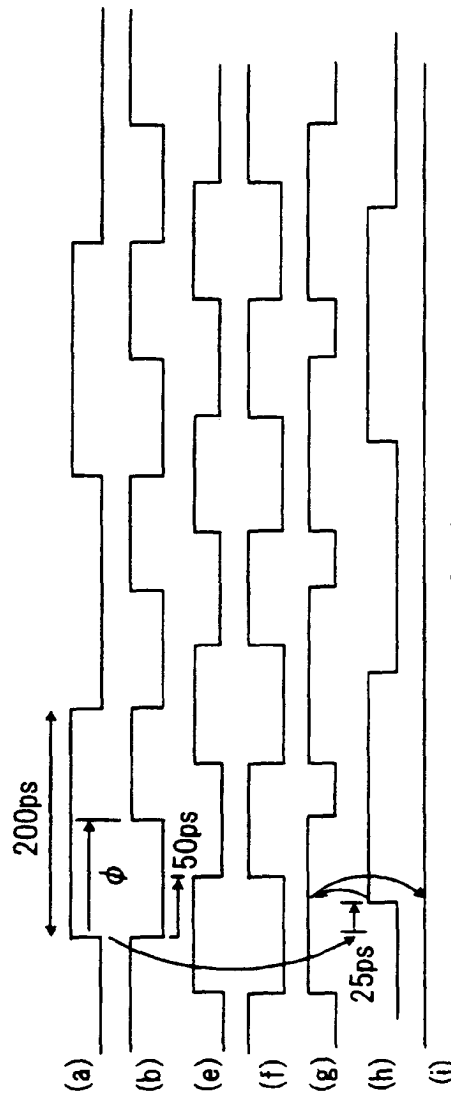
【図21】

## 第3の発明の位相比較回路の第3実施例の 成図



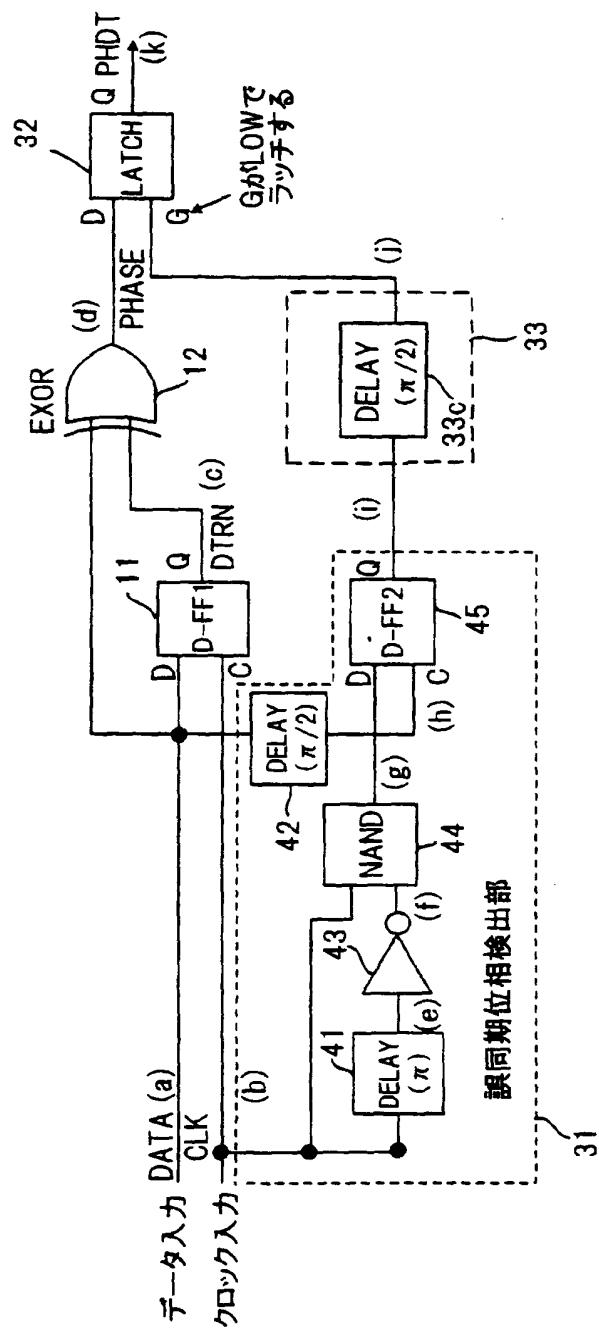
【図 23】

$2\pi = 100\text{ps}$  (10Gb/s)とした時に5Gb/sのデータ信号を入力した場合のタイミングチャート



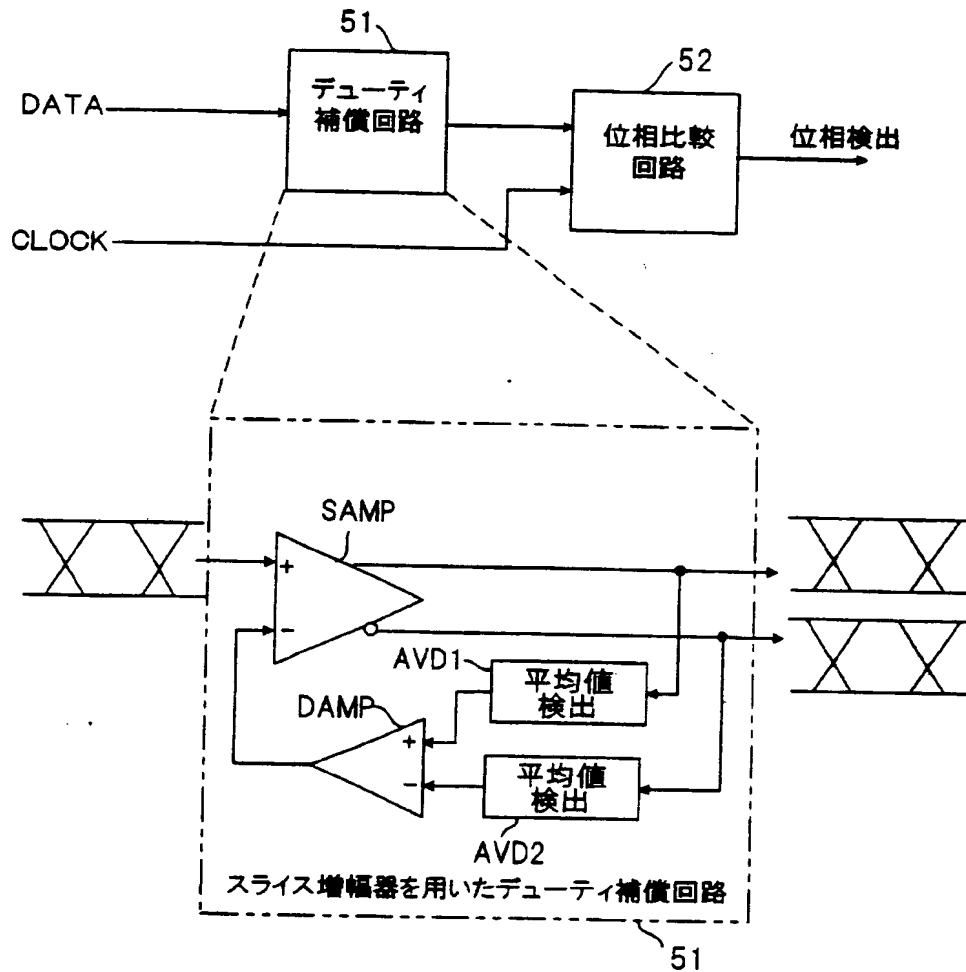
- $\phi$ が25ps～175psのとき、(i)はHIGHとなり、ラッチをかけない
- $\phi$ が0～25ps、175～200psのとき、(i)はLOWとなり、ラッチをかけにくい
- $\phi = 0$ がデータとクロックの立上り一致点

第3の発明の位相比較回路の第4実施例の 成図



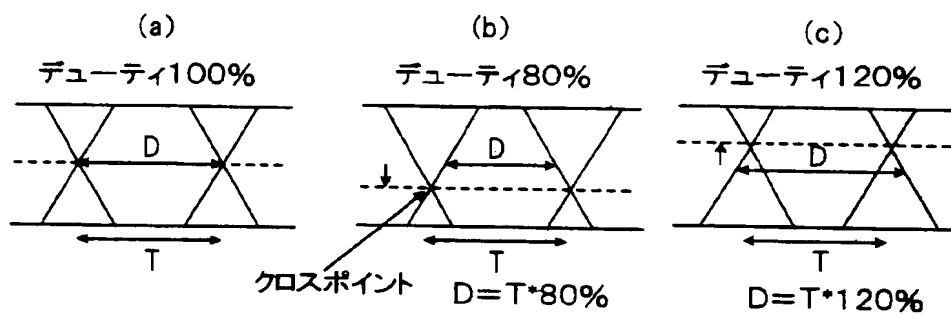
【図25】

## 第4の発明の構成図



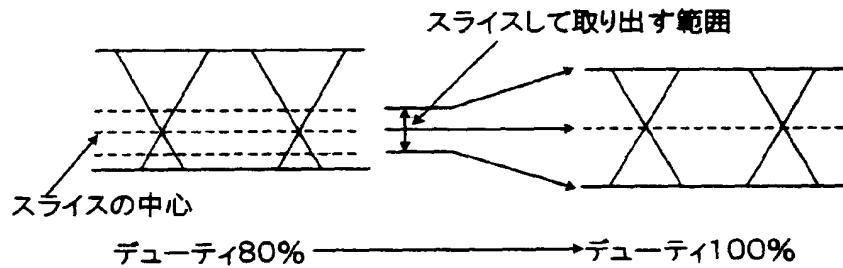
【図26】

## 高速信号のデューティずれ



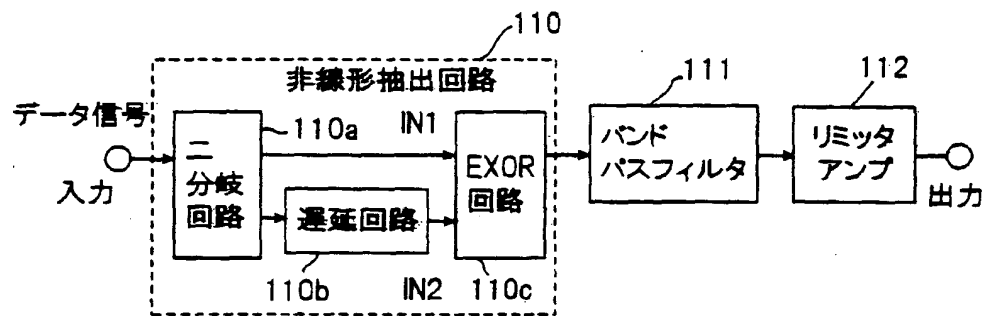
【図27】

## スライス増幅によるデューティ補償



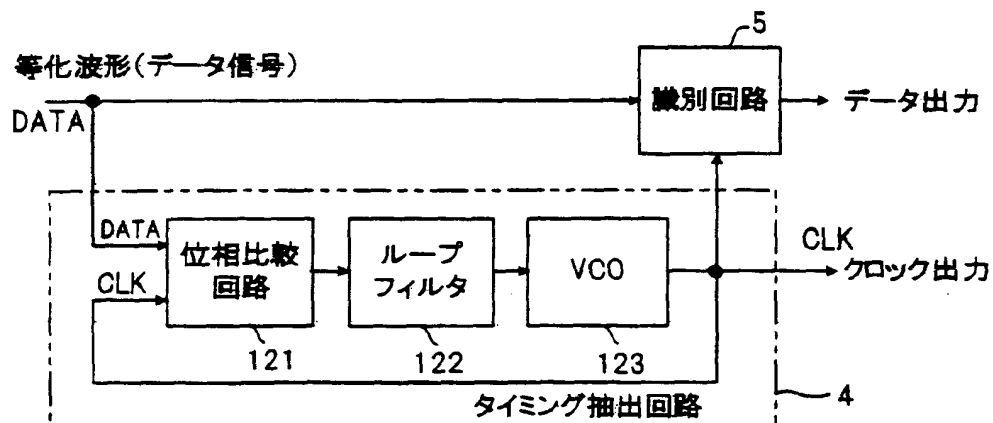
【図30】

## 非線形抽出方式によるタイミング抽出回路の構成



【図32】

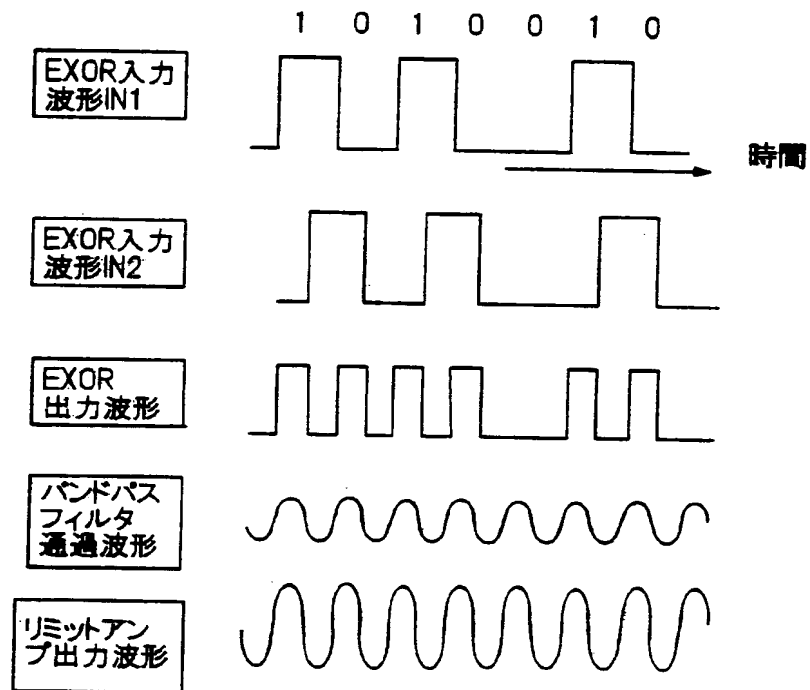
## PLLを用いた従来のタイミング抽出回路の構成





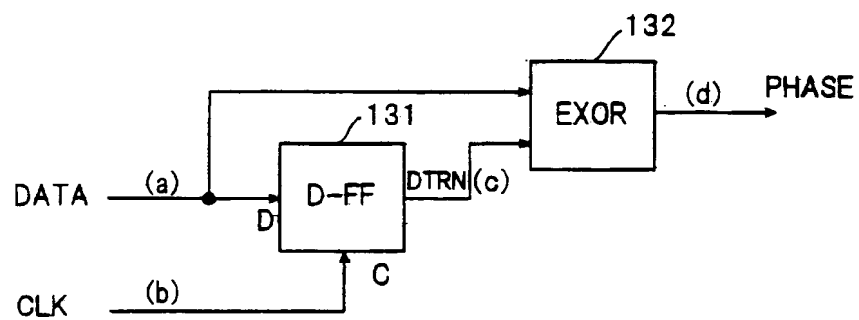
【図 3 1】

## 動作波形図



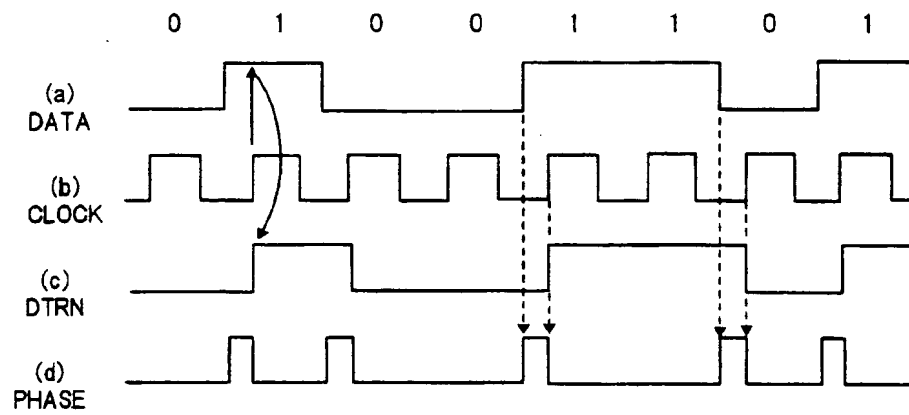
【図 3 3】

## 従来の位相比較回路のブロック図



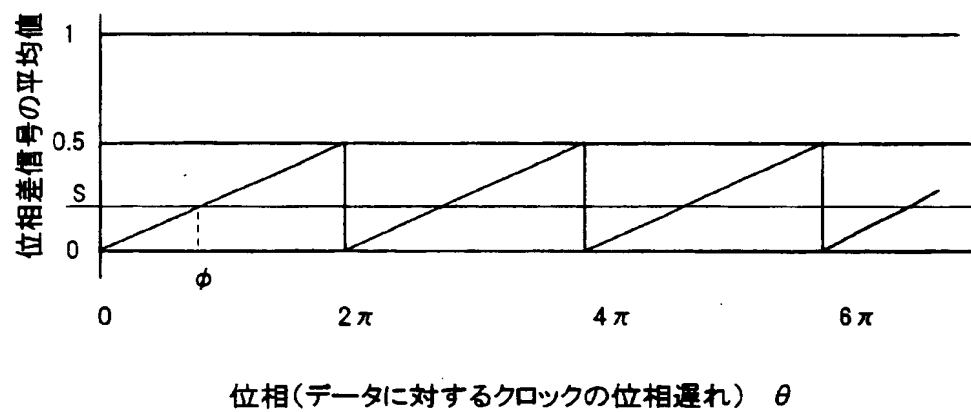
【図 3 4】

従来の位相比較回路のタイミングチャート



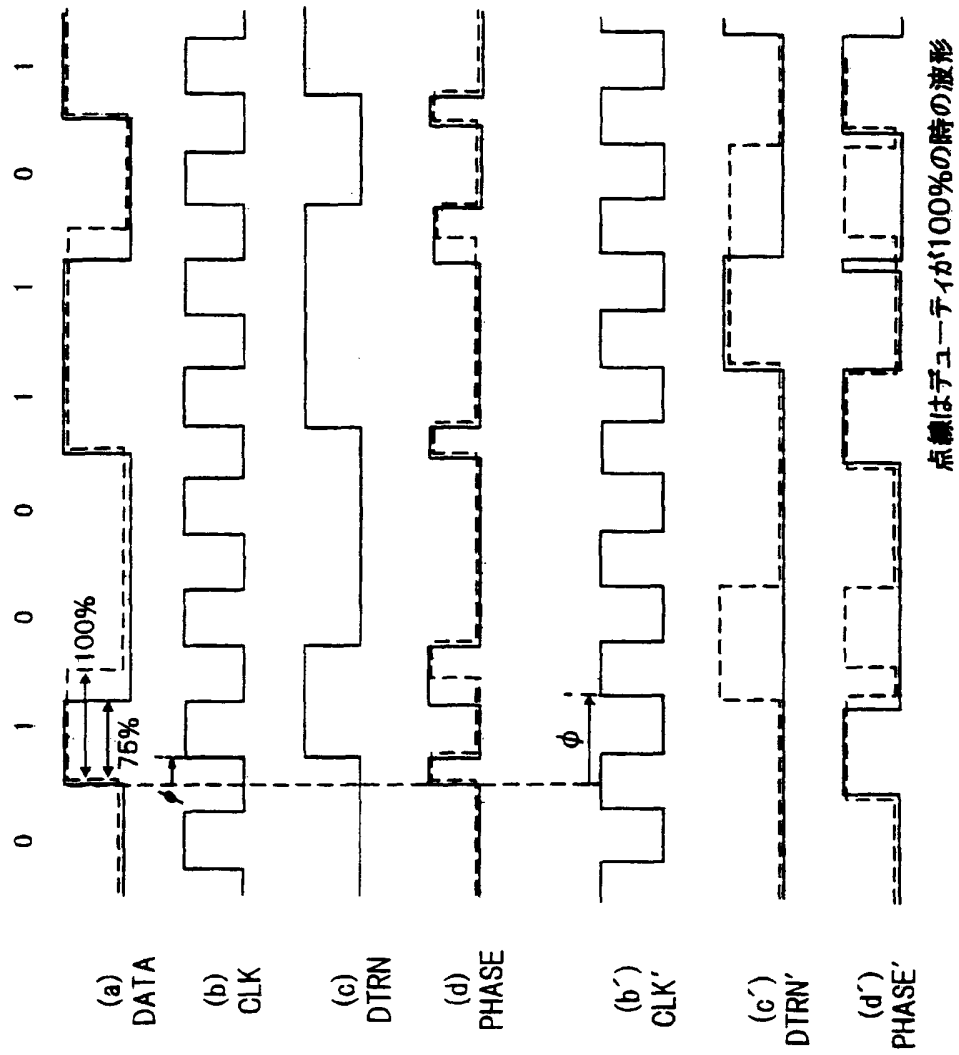
【図 3 5】

従来の位相比較回路の位相比較特性



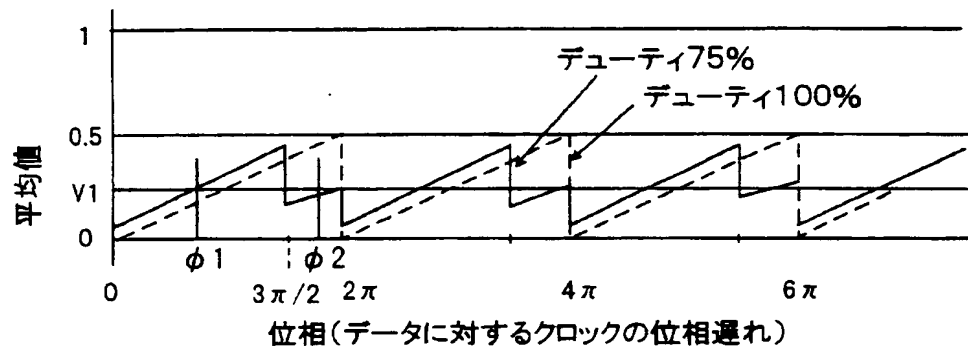
【図36】

従来の位相比較回路のタイミングチャート(デューティが75%の場合)



【図37】

従来の位相比較回路の位相比較特性(デューティが75%の場合)



【図38】

従来の位相比較回路の位相比較特性(デューティが125%の場合)

